

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 8月 9日
Date of Application:

出願番号 特願2002-232289
Application Number:
[ST. 10/C]: [JP 2002-232289]

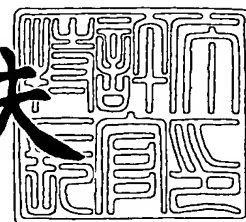
出願人 カシオ計算機株式会社
Applicant(s):



2004年 3月 9日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3017946



【書類名】 特許願

【整理番号】 02-0657-00

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 東京都青梅市今井 3 丁目 1 0 番地 6
カシオ計算機株式会社青梅事業所内

【氏名】 定別当 裕康

【特許出願人】

【識別番号】 000001443

【氏名又は名称】 カシオ計算機株式会社

【代理人】

【識別番号】 100073221

【弁理士】

【氏名又は名称】 花輪 義男

【手数料の表示】

【予納台帳番号】 057277

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0015435

【プルーフの要否】 要



【書類名】 明細書
【発明の名称】 半導体装置およびその製造方法
【特許請求の範囲】

【請求項 1】 半導体基板の上面に設けられた複数の再配線および前記各再配線の一端部上に形成された柱状電極を有する半導体構成体と、該半導体構成体の前記柱状電極を除く上面全体および前記半導体構成体の周側面より外側の延出部に設けられた絶縁膜と、該絶縁膜上に、前記柱状電極に接続されて設けられ且つ接続パッドを有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部は、前記接続パッドが前記絶縁膜上の前記半導体構成体の周側面より外側の前記延出部上に配置されていることを特徴とする半導体装置。

【請求項 2】 各々が、半導体基板と、該半導体基板の上面に設けられた複数の再配線および前記各再配線の一端部上に形成された柱状電極を有し、互いに離間して配置された複数の半導体構成体と、該各半導体構成体の柱状電極を除く上面全体および前記各半導体構成体の周側面より外側の延出部に設けられた絶縁膜と、該絶縁膜上に、前記柱状電極に接続されて設けられ且つ接続パッドを有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部は、前記接続パッドが前記絶縁膜上の前記いずれかの半導体構成体の周側面より外側の前記延出部上に配置されていることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の発明において、前記絶縁膜は前記半導体構成体の周側面を覆って設けられていることを特徴とする半導体装置。

【請求項 4】 請求項 3 に記載の発明において、前記半導体構成体の周側面を覆って設けられた前記絶縁膜の下面は前記半導体構成体の下面とほぼ同一の平面上に配置されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 または 2 に記載の発明において、前記上層再配線の中、最下層の上層再配線は前記絶縁膜に形成された開口を介して直接前記柱状電極に電氣的に接続され、前記絶縁膜に形成された前記開口は前記柱状電極の幅の $1/2$ 以下の幅を有することを特徴とする半導体装置。

【請求項 6】 請求項 1 または 2 に記載の発明において、前記上層再配線の中、最下層の上層再配線は前記各柱状電極上および前記最下層の絶縁膜上に形成されためっき層を含むことを特徴とする半導体装置。

【請求項 7】 請求項 1 または 2 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記半導体構成体の柱状電極と前記上層再配線とを接続する層間再配線が設けられていることを特徴とする半導体装置。

【請求項 8】 請求項 1 または 2 に記載の発明において、前記柱状電極は $50\ \mu\text{m}$ 以上の高さを有することを特徴とする半導体装置。

【請求項 9】 請求項 1 または 2 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面に前記上層再配線の前記接続パッドの少なくとも一部を除く部分に最上層絶縁膜が設けられていることを特徴とする半導体装置。

【請求項 10】 請求項 9 に記載の発明において、前記上層再配線の前記接続パッド上に突起状の接続端子が設けられていることを特徴とする半導体装置。

【請求項 11】 請求項 9 に記載の発明において、前記最上層絶縁膜上に電子部品がいずれかの前記上層再配線の接続パッド部に接続されて設けられていることを特徴とする半導体装置。

【請求項 12】 請求項 9 ～ 11 のいずれかに記載の発明において、前記半導体構成体およびその周側面に設けられた前記絶縁膜の下面に放熱層が設けられていることを特徴とする半導体装置。

【請求項 13】 請求項 1 または 2 に記載の発明において、前記絶縁膜は前記半導体構成体の周側面を覆って設けられ、該半導体構成体の周側面に設けられた前記絶縁膜はベース板上に設けられていることを特徴とする半導体装置。

【請求項 14】 請求項 1 または 2 に記載の発明において、前記絶縁膜は前記半導体構成体の周側面を覆って設けられ、該半導体構成体の周側面に設けられた前記絶縁膜上にフレキシブル配線板が配置され、該フレキシブル配線板に形成された接続端子がいずれかの前記上層再配線の前記接続パッドに接続されていることを特徴とする半導体装置。

【請求項 15】 請求項 1 または 2 に記載の発明において、前記半導体構成体上にフレキシブル配線板が配置され、前記フレキシブル配線板に形成された接

続端子がいずれかの前記上層再配線の前記接続パッドに接続されていることを特徴とする半導体装置。

【請求項 16】 請求項 15 に記載の発明において、前記フレキシブル配線板上に突起状の接続端子が導電接続されて設けられていることを特徴とする半導体装置。

【請求項 17】 請求項 1 または 2 に記載の発明において、前記絶縁膜は前記半導体構成体の周側面を覆って設けられ、該半導体構成体の周側面に形成された前記絶縁膜を覆って最外周絶縁膜が設けられていることを特徴とする半導体装置。

【請求項 18】 請求項 17 に記載の発明において、前記最外周絶縁膜は前記半導体構成体の周側面に形成された前記絶縁膜よりも厚く形成されていることを特徴とする半導体装置。

【請求項 19】 請求項 17 に記載の発明において、前記最外周絶縁膜は前記半導体構成体の周側面に形成された前記絶縁膜よりも薄く形成されていることを特徴とする半導体装置。

【請求項 20】 請求項 9 に記載の発明において、前記最上層絶縁膜上に電子部品がいずれかの前記上層再配線の接続パッドに接続されて設けられ、他のいずれかの前記上層再配線の外部端子にフレキシブル配線板に形成された接続端子が接続されていることを特徴とする半導体装置。

【請求項 21】 請求項 1 または 2 に記載の発明において、上面に前記絶縁膜および前記上層再配線が設けられた前記半導体構成体を複数個有し、前記各半導体構成体上面の上層再配線がフレキシブル配線板により接続されていることを特徴とする半導体装置。

【請求項 22】 請求項 21 に記載の発明において、前記半導体構成体が互いの下面を対向して積層されていることを特徴とする半導体装置。

【請求項 23】 各々が、複数の再配線および前記各再配線上に設けられた柱状電極を有する複数の半導体構成体を相互に離間してベース板上に配置する工程と、

前記複数の半導体構成体上を含む前記ベース板の上面全体に絶縁膜を形成する

工程と、

前記絶縁膜の上面に、接続パッドを有し且ついずれかの前記半導体構成体の対応する前記柱状電極に接続される上層再配線を、少なくともいずれかの前記上層再配線の接続パッドが前記半導体構成体間に形成された前記絶縁膜上に配置されるように形成する工程と、

前記各半導体構成体間における前記絶縁膜を切断して少なくともいずれかの前記上層再配線の接続パッドが前記半導体構成体の周側面を覆う前記絶縁膜上に形成された前記半導体構成体を少なくとも 1 つ有する半導体装置を複数個得る工程とを有することを特徴とする半導体装置の製造方法。

【請求項 24】 請求項 23 に記載の発明において、前記絶縁膜を切断する工程は、前記半導体構成体が複数個含まれるように切断することを特徴とする半導体装置の製造方法。

【請求項 25】 請求項 23 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記各半導体構成体の柱状電極とそれに対応する前記上層再配線とを接続する複数組の層間再配線を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 26】 請求項 23 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面において前記上層再配線の接続パッド部を除く部分に最上層絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 27】 請求項 26 に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 28】 請求項 26 に記載の発明において、前記最上層絶縁膜上に電子部品を前記上層再配線の接続パッド部に接続させて設ける工程を有することを特徴とする半導体装置の製造方法。

【請求項 29】 請求項 23 に記載の発明において、前記絶縁膜を切断する工程は前記絶縁膜を切断するとともに前記ベース板を切断し、前記半導体装置としてベース板を備えたものを得ることを特徴とする半導体装置の製造方法。

【請求項 30】 請求項 29 に記載の発明において、切断前の前記ベース板

下に別のベース板を配置し、前記ベース板を切断した後に、前記別のベース板を取り除く工程を有することを特徴とする半導体装置の製造方法。

【請求項 3 1】 請求項 2 3 に記載の発明において、前記各半導体構成体間における前記絶縁膜を切断する工程の前に、前記ベース板を取り除く工程を有することを特徴とする半導体装置の製造方法。

【請求項 3 2】 請求項 3 1 に記載の発明において、前記ベース板を取り除く工程に引き続き、前記半導体基板を薄くする工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

例えば BGA (ball grid array) と呼ばれる半導体装置には、LSI などからなる半導体チップを該半導体チップのサイズよりもやや大きいサイズの中継基板 (インターポーザ) の上面中央部に搭載し、中継基板の下面に半田ボールによる接続端子をマトリクス状に配置したものがある。ここで、中継基板は、半導体チップ上に形成された外部接続電極を他の回路基板にボンディングする際、接続強度および信頼性を得るために、再配線によりそのサイズおよびピッチを充分大きなものとするために用いられる。

【0003】

図 30 は従来のこのような半導体装置の一例の断面図を示したものである。半導体チップ 1 は、シリコン基板 2 の周辺部に銅などからなる複数のバンプ電極 3 が設けられた構造となっている。

【0004】

中継基板 4 は、サイズが半導体チップ 1 のシリコン基板 2 のサイズよりもやや大きいベースフィルム 5 を備えている。ベースフィルム 5 の上面には、半導体チップ 1 のバンプ電極 3 に接続される再配線 6 が設けられている。

【0005】

再配線 6 は、半導体チップ 1 の bumps 電極 3 に対応して設けられた第 1 の接続パッド 7 と、マトリクス状に設けられた第 2 の接続パッド 8 と、第 1 と第 2 の接続パッド 7、8 を接続する引き回し線 9 とからなっている。第 2 の接続パッド 8 の中央部に対応する部分におけるベースフィルム 5 には円孔 10 が設けられている。

【0006】

そして、半導体チップ 1 は中継基板 4 の上面中央部に異方性導電接着剤 11 を介して搭載されている。異方性導電接着剤 11 は、熱硬化性樹脂 12 中に多数の導電性粒子 13 を含有させたものからなっている。

【0007】

半導体チップ 1 を中継基板 4 上に搭載する場合には、まず、中継基板 4 の上面中央部にシート状の異方性導電接着剤 11 を介して半導体チップ 1 を位置合わせしてただ単に載置する。

【0008】

次に、熱硬化性樹脂 12 が硬化する温度にて所定の圧力を加えてボンディングする。すると、bumps 電極 3 が熱硬化性樹脂 12 を押し退けて第 1 の接続パッド 7 の上面に導電性粒子 13 を介して導電接続され、且つ、半導体チップ 1 の下面が中継基板 4 の上面に熱硬化性樹脂 12 を介して接着される。

【0009】

次に、半導体チップ 1 を含む中継基板 4 の上面全体にエポキシ系樹脂からなる樹脂封止膜 14 を形成する。次に、円孔 10 内およびその下方に半田ボール 15 を第 2 の接続パッド 8 に接続させて形成する。この場合、第 2 の接続パッド 8 はマトリクス状に配置されているため、半田ボール 15 もマトリクス状に配置される。

【0010】

ここで、半田ボール 15 のサイズは半導体チップ 1 の bumps 電極 3 のサイズより大きく、また、各半田ボール 15 相互の接触を避けるため、その配置間隔を bumps 電極 3 の配置間隔より大きくする必要がある。そこで、半導体チップ 1 のバ

ンプ電極 3 の数が増大した場合、各半田ボール 15 に必要な配置間隔を得るため、その配置領域を半導体チップ 1 のサイズより大きくすることが必要となり、そのために、中継基板 4 のサイズを半導体チップ 1 のサイズよりもやや大きくしている。したがって、マトリクス状に配置された半田ボール 15 のうち、周辺部の半田ボール 15 は半導体チップ 1 の周囲に配置されている。

【0011】

【発明が解決しようとする課題】

ところで、上記従来の半導体装置では、再配線 6 が形成された中継基板 4 を用い、位置合わせした後のボンディングにより、半導体チップ 1 のバンプ電極 3 の下面を中継基板 4 の再配線 6 の第 1 の接続パッド 7 の上面に異方性導電接着剤 11 の導電性粒子 13 を介して導電接続する構成としているので、半導体チップ 1 のバンプ電極 3 の数が増大し、バンプ電極 3 のサイズおよび配置間隔が小さくなると、位置合わせが極めて大変であるという問題があった。この場合、半導体チップ 1 のサイズを大きくすれば、バンプ電極 3 のサイズおよび配置間隔を大きくすることができることは当然であるが、そのようにすると、ウエハ状態からの半導体チップの取り数が激減し、極めて高価なものになってしまう。また、半導体チップ 1 を 1 つずつ中継基板 4 上にボンディングして搭載しなければならず、製造工程が煩雑であるという問題があった。このようなことは、半導体チップを複数個備えたマルチチップモジュール型の半導体装置の場合も同様である。

【0012】

そこで、この発明は、ボンディングによることなく外部接続電極の配置間隔を大きくすることができる半導体装置およびその製造方法を提供することを目的とする。

また、この発明は、複数の半導体装置を一括して製造することができる半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

請求項 1 に記載の発明は、半導体基板の上面に設けられた複数の再配線および前記各再配線の一端部上に形成された柱状電極を有する半導体構成体と、該半導

体構成体の前記柱状電極を除く上面全体および前記半導体構成体の周側面より外側の延出部に設けられた絶縁膜と、該絶縁膜上に、前記柱状電極に接続されて設けられ且つ接続パッドを有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部は、前記接続パッドが前記絶縁膜上の前記半導体構成体の周側面より外側の前記延出部上に配置されていることを特徴とするものである。

請求項 2 に記載の発明は、各々が、半導体基板と、該半導体基板の上面に設けられた複数の再配線および前記各再配線の一端部上に形成された柱状電極を有し、互いに離間して配置された複数の半導体構成体と、該各半導体構成体の柱状電極を除く上面全体および前記各半導体構成体の周側面より外側の延出部に設けられた絶縁膜と、該絶縁膜上に、前記柱状電極に接続されて設けられ且つ接続パッドを有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部は、前記接続パッドが前記絶縁膜上の前記いずれかの半導体構成体の周側面より外側の前記延出部上に配置されていることを特徴とするものである。

請求項 3 に記載の発明は、請求項 1 または 2 に記載の発明において、前記絶縁膜は前記半導体構成体の周側面を覆って設けられていることを特徴とするものである。

請求項 4 に記載の発明は、請求項 3 に記載の発明において、前記半導体構成体の周側面を覆って設けられた前記絶縁膜の下面は前記半導体構成体の下面とほぼ同一の平面上に配置されていることを特徴とするものである。

請求項 5 に記載の発明は、請求項 1 または 2 に記載の発明において、前記上層再配線の中、最下層の上層再配線は前記絶縁膜に形成された開口を介して直接前記柱状電極に電氣的に接続され、前記絶縁膜に形成された前記開口は前記柱状電極の幅の $1/2$ 以下の幅を有することを特徴とするものである。

請求項 6 に記載の発明は、請求項 1 または 2 に記載の発明において、前記上層再配線の中、最下層の上層再配線は前記各柱状電極上および前記最下層の絶縁膜上に形成されためっき層を含むことを特徴とするものである。

請求項 7 に記載の発明は、請求項 1 または 2 に記載の発明において、前記絶縁

膜は複数層であり、その層間に、前記半導体構成体の柱状電極と前記上層再配線とを接続する層間再配線が設けられていることを特徴とするものである。

請求項 8 に記載の発明は、請求項 1 または 2 に記載の発明において、前記柱状電極は $50\text{ }\mu\text{m}$ 以上の高さを有することを特徴とするものである。

請求項 9 に記載の発明は、請求項 1 または 2 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面に前記上層再配線の前記接続パッドの少なくとも一部を除く部分に最上層絶縁膜が設けられていることを特徴とするものである。

請求項 10 に記載の発明は、請求項 9 に記載の発明において、前記上層再配線の前記接続パッド上に突起状の接続端子が設けられていることを特徴とするものである。

請求項 11 に記載の発明は、請求項 9 に記載の発明において、前記最上層絶縁膜上に電子部品がいずれかの前記上層再配線の接続パッド部に接続されて設けられていることを特徴とするものである。

請求項 12 に記載の発明は、請求項 9 ～ 11 のいずれかに記載の発明において、前記半導体構成体およびその周側面に設けられた前記絶縁膜の下面に放熱層が設けられていることを特徴とするものである。

請求項 13 に記載の発明は、請求項 1 または 2 に記載の発明において、前記絶縁膜は前記半導体構成体の周側面を覆って設けられ、該半導体構成体の周側面に設けられた前記絶縁膜はベース板上に設けられていることを特徴とするものである。

請求項 14 に記載の発明は、請求項 1 または 2 に記載の発明において、前記絶縁膜は前記半導体構成体の周側面を覆って設けられ、該半導体構成体の周側面に設けられた前記絶縁膜上にフレキシブル配線板が配置され、該フレキシブル配線板に形成された接続端子がいずれかの前記上層再配線の前記接続パッドに接続されていることを特徴とするものである。

請求項 15 に記載の発明は、請求項 1 または 2 に記載の発明において、前記半導体構成体上にフレキシブル配線板が配置され、前記フレキシブル配線板に形成された接続端子がいずれかの前記上層再配線の前記接続パッドに接続されていることを特徴とするものである。

請求項 16 に記載の発明は、請求項 15 に記載の発明において、前記フレキシブル配線板上に突起状の接続端子が導電接続されて設けられていることを特徴とするものである。

請求項 17 に記載の発明は、請求項 1 または 2 に記載の発明において、前記絶縁膜は前記半導体構成体の周側面を覆って設けられ、該半導体構成体の周側面に形成された前記絶縁膜を覆って最外周絶縁膜が設けられていることを特徴とするものである。

請求項 18 に記載の発明は、請求項 17 に記載の発明において、前記最外周絶縁膜は前記半導体構成体の周側面に形成された前記絶縁膜よりも厚く形成されていることを特徴とするものである。

請求項 19 に記載の発明は、請求項 17 に記載の発明において、前記最外周絶縁膜は前記半導体構成体の周側面に形成された前記絶縁膜よりも薄く形成されていることを特徴とするものである。

請求項 20 に記載の発明は、請求項 9 に記載の発明において、前記最上層絶縁膜上に電子部品がいずれかの前記上層再配線の接続パッドに接続されて設けられ、他のいずれかの前記上層再配線の外部端子にフレキシブル配線板に形成された接続端子が接続されていることを特徴とするものである。

請求項 21 に記載の発明は、請求項 1 または 2 に記載の発明において、上面に前記絶縁膜および前記上層再配線が設けられた前記半導体構成体を複数個有し、前記各半導体構成体上面の上層再配線がフレキシブル配線板により接続されていることを特徴とするものである。

請求項 22 に記載の発明は、請求項 21 に記載の発明において、前記半導体構成体が互いの下面を対向して積層されていることを特徴とするものである。

請求項 23 に記載の発明は、各々が、複数の再配線および前記各再配線上に設けられた柱状電極を有する複数の半導体構成体を相互に離間してベース板上に配置する工程と、前記複数の半導体構成体上を含む前記ベース板の上面全体に絶縁膜を形成する工程と、前記絶縁膜の上面に、接続パッドを有し且ついずれかの前記半導体構成体の対応する前記柱状電極に接続される上層再配線を、少なくともいずれかの前記上層再配線の接続パッドが前記半導体構成体間に形成された前記

絶縁膜上に配置されるように形成する工程と、前記各半導体構成体間における前記絶縁膜を切断して少なくともいずれかの前記上層再配線の接続パッドが前記半導体構成体の周側面を覆う前記絶縁膜上に形成された前記半導体構成体を少なくとも 1 つ有する半導体装置を複数個得る工程とを有することを特徴とするものである。

請求項 2 4 に記載の発明は、請求項 2 3 に記載の発明において、前記絶縁膜を切断する工程は、前記半導体構成体が複数個含まれるように切断することを特徴とするものである。

請求項 2 5 に記載の発明は、請求項 2 3 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記各半導体構成体の柱状電極とそれに対応する前記上層再配線とを接続する複数組の層間再配線を形成する工程を有することを特徴とするものである。

請求項 2 6 に記載の発明は、請求項 2 3 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面において前記上層再配線の接続パッド部を除く部分に最上層絶縁膜を形成する工程を有することを特徴とするものである。

請求項 2 7 に記載の発明は、請求項 2 6 に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子を形成する工程を有することを特徴とするものである。

請求項 2 8 に記載の発明は、請求項 2 6 に記載の発明において、前記最上層絶縁膜上に電子部品を前記上層再配線の接続パッド部に接続させて設ける工程を有することを特徴とするものである。

請求項 2 9 に記載の発明は、請求項 2 3 に記載の発明において、前記絶縁膜を切断する工程は前記絶縁膜を切断するとともに前記ベース板を切断し、前記半導体装置としてベース板を備えたものを得ることを特徴とするものである。

請求項 3 0 に記載の発明は、請求項 2 9 に記載の発明において、切断前の前記ベース板下に別のベース板を配置し、前記ベース板を切断した後に、前記別のベース板を取り除く工程を有することを特徴とするものである。

請求項 3 1 に記載の発明は、請求項 2 3 に記載の発明において、前記各半導体構成体間における前記絶縁膜を切断する工程の前に、前記ベース板を取り除く工

程を有することを特徴とするものである。

請求項 32 に記載の発明は、請求項 31 に記載の発明において、前記ベース板を取り除く工程に引き続き、前記半導体基板を薄くする工程を有することを特徴とするものである。

そして、この発明によれば、半導体基板上に再配線および柱状電極を有する複数または複数組の半導体構成体をベース板上に配置し、半導体構成体を含むベース板の上面全体に絶縁膜を形成し、絶縁膜の上面に上層再配線を半導体構成体の柱状電極に接続させて形成し、絶縁膜を少なくとも切断することにより、半導体構成体を 1 つまたは 1 組有し、その周囲に絶縁膜を有するとともに、周囲の絶縁膜上に上層再配線の一部が配置されてなる半導体装置を複数個一括して得ることができ、従来のようなボンディング工程がなく、したがってボンディングによることなく外部接続電極の配置間隔を大きくすることができ、また複数または複数組の半導体構成体に対して絶縁膜および上層再配線の形成を一括して行うことができるので、製造工程を簡略化することができる。

【0014】

【発明の実施の形態】

（第 1 実施形態）

図 1 はこの発明の第 1 実施形態としての半導体装置の断面図を示したものである。この半導体装置は、シリコン、ガラス、セラミックス、樹脂、金属などからなる平面正形状のベース板 21 を備えている。ベース板 21 の上面には、接着剤、粘着シート、両面接着テープなどからなる接着層 22 が設けられている。

【0015】

接着層 22 の上面中央部には、ベース板 21 のサイズよりもやや小さいサイズの平面正形状の半導体構成体 23 の下面が接着されている。この場合、半導体構成体 23 は、CSP (chip size package) と呼ばれるものであり、接着層 22 の上面中央部に接着されたシリコン基板（半導体基板）24 を備えている。シリコン基板 24 の上面周辺部にはアルミニウムなどからなる複数の接続パッド 25 が設けられ、接続パッド 25 の中央部を除くシリコン基板 24 の上面には酸化シリコンなどからなる絶縁膜 26 が設けられている。

【0016】

シリコン基板 24 上に接続パッド 25 および絶縁膜 26 を設けてなるものは、通常、ウエハ状態の半導体基板をダイシングして個々のチップとなした場合に得られるものである。しかしながら、この発明では、ウエハ状態の半導体基板上に接続パッド 25 および絶縁膜 26 が形成された状態では、ダイシングを行わず、以下に説明するように、再配線を有する半導体構成体 23 が得られる状態でウエハ状態の半導体基板をダイシングする。まず、半導体構成体 23 の構成について説明する。

【0017】

シリコン基板 24 上に形成された絶縁膜 26 上にはポリイミドなどからなる保護膜 27 が設けられている。接続パッド 25 の中央部は、絶縁膜 26 および保護膜 27 に形成された開口部 28 を介して露出されている。開口部 28 を介して露出された接続パッド 25 の上面から保護膜 27 の上面の所定の箇所にかけて銅からなる下地金属層 31a が設けられている。下地金属層 31a の上面には銅からなる上層金属層 31b が設けられており、下地金属層 31a および上層金属層 31b により再配線 32 が構成される。

【0018】

再配線 32 のパッド部上面には銅からなる柱状電極 33 が設けられている。再配線 32 を含む保護膜 27 の上面にはエポキシ系樹脂からなる封止膜（絶縁膜）34 がその上面が柱状電極 33 の上面と面一となるように設けられている。このように、半導体構成体 23 は、シリコン基板 24、接続パッド 25、絶縁膜 26 を含み、さらに、保護膜 27、再配線 32、柱状電極 33、封止膜 34 を含んで構成されている。

【0019】

半導体構成体 23 の周囲における接着層 22 の上面にはエポキシ系樹脂からなる封止膜（絶縁膜）35 がその上面が封止膜 34 の上面と面一となるように設けられている。両封止膜 34、35 および柱状電極 33 の上面には感光性ポリイミドなどからなる第 1 の上層絶縁膜 36 が設けられている。第 1 の上層絶縁膜 36 の柱状電極 33 の上面中央部に対応する部分には開口部 37 が設けられている。

開口部 37 を介して露出された柱状電極 33 の上面から第 1 の上層絶縁膜 36 の上面の所定の箇所にかけて第 1 の下地金属層 38a および該第 1 の下地金属層 38a 上に設けられた第 1 の上層金属層 38b からなる第 1 の上層再配線 39 が設けられている。

【0020】

第 1 の上層再配線 39 を含む第 1 の上層絶縁膜 36 の上面全体には感光性ポリイミドなどからなる第 2 の上層絶縁膜 41 が設けられている。第 2 の上層絶縁膜 41 の第 1 の上層再配線 39 の接続パッド部に対応する部分には開口部 42 が設けられている。開口部 42 を介して露出された第 1 の上層再配線 39 の接続パッド部の上面から第 2 の上層絶縁膜 41 の上面の所定の箇所にかけて第 2 の下地金属層 43a およびおおよび該第 2 の下地金属層 43a 上に設けられた第 2 の上層金属層 43b からなる第 2 の上層再配線 44 が設けられている。

【0021】

第 2 の上層再配線 44 を含む第 2 の上層絶縁膜 41 の上面全体には感光性ポリイミドなどからなる第 3 の上層絶縁膜 45 が設けられている。第 3 の上層絶縁膜 45 の第 2 の上層再配線 44 の接続パッド部に対応する部分には開口部 46 が設けられている。開口部 46 内およびその上方には半田ボール（突起状の接続端子）47 が第 2 の上層再配線 44 の接続パッド部に接続されて設けられている。複数の半田ボール 47 は、第 3 の上層絶縁膜 45 上にマトリクス状に配置されている。

【0022】

ところで、ベース板 21 のサイズを半導体構成体 23 のサイズよりもやや大きくしているのは、シリコン基板 24 上の接続パッド 25 の数の増加に応じて、半田ボール 47 の配置領域を半導体構成体 23 のサイズよりもやや大きくし、これにより、接続パッド 25 のサイズおよび配置間隔を柱状電極 33 のサイズおよび配置間隔よりも大きくするためである。

【0023】

このため、マトリクス状に配置された第 2 の上層再配線 44 の接続パッド部（第 3 の上層絶縁膜 45 の開口部 46 内の部分）は、半導体構成体 23 に対応する

領域のみでなく、半導体構成体 23 の周側面に設けられた絶縁膜 35 の領域上にも配置されている。つまり、マトリクス状に配置された半田ボール 47 のうち、少なくとも最外周の半田ボール 47 は半導体構成体 23 よりも外側に位置する周囲に配置されている。

【0024】

この場合、変形例として、第 2 の上層再配線 44 の接続パッド部を全て半導体構成体 23 よりも外側に位置する周囲に配置するようにしてもよい。また、上層の再配線を 1 層として、つまり第 1 の再配線 39 のみとして、少なくとも、最外周の接続パッド部を半導体構成体 23 よりも外側に位置する周囲に配置することもできる。

【0025】

このように、この発明は、シリコン基板 24 上に、接続パッド 25、絶縁膜 26 を有するのみでなく、保護膜 27、再配線 32、柱状電極 33、封止膜 34 などをも形成した半導体構成体 23 に、上面を覆う第 1 の上層絶縁膜 36 および該第 1 の上層絶縁膜 36 上に形成された開口部 37 を介して柱状電極 33 に接続される第 1 の上層再配線 39、および周側面を覆う封止膜 35 を設ける構成を特徴としている。

【0026】

通常、シリコン基板と回路基板の熱膨張係数の相違に起因して柱状電極に作用する応力を緩和するため、柱状電極の高さは 100～200 μm 必要であるが、上記の如く、この発明では、柱状電極 33 上に第 1 の上層再配線 39 および該第 1 の上層絶縁膜 36 が形成されており、該第 1 の上層再配線 39 および第 1 の上層絶縁膜 36 が応力を緩和する作用を有するので、柱状電極 33 の高さを 50～100 μm 程度と低いものにすることができる。勿論、柱状電極 33 の高さを大きくするほど、応力緩和作用が大きくなるので、ボンディングする回路基板によっては、従来と同様の高さとしても差し支えない。

【0027】

次に、この半導体装置の製造方法の一例について説明する。まず、図 2 に示すように、図 1 に示すベース板 21 を複数枚採取することができるベース板 21 の

上面全体に接着層 22 が設けられたものを用意する。そして、接着層 22 の上面の所定の複数箇所にそれぞれ半導体構成体 23 のシリコン基板 24 の下面を接着する。

【0028】

半導体構成体 23 は、上述の如く、CSP と呼ばれるものであり、予め製造されている。ここで、半導体構成体 23 の製造方法の一例について簡単に説明する。まず、ウエハ状態の半導体基板（切断前のシリコン基板 24）上に接続パッド 25、絶縁膜 26 および保護膜 27 が設けられたものを用意する。次に、開口部 28 を介して露出された接続パッド 25 の上面を含む保護膜 27 の上面全体に下地金属層 31a を形成する。

【0029】

次に、下地金属層 31a の上面の所定の箇所に電解メッキにより上層金属層 31b を形成する。次に、再配線 32 の接続パッド部上面に電解メッキにより柱状電極 33 を形成する。次に、柱状電極 33 および上層金属層 31b をマスクとして下地金属層 31a の不要な部分をエッチングにより除去し、上層金属層 31b 下にのみ下地金属層 31a を残存させ、該残存した下地金属層 31a およびこの下地金属層 31a 上全面に形成された上層金属層 31b からなる再配線 32 を形成する。

【0030】

次に、柱状電極 33 および再配線 32 を含む保護膜 27 の上面全体に封止膜 34 をその厚さが柱状電極 33 の高さよりも厚くなるように形成する。したがって、この状態では、柱状電極 33 の上面は封止膜 34 によって覆われている。次に、封止膜 34 および柱状電極 33 の上面側を適宜に研磨し、柱状電極 33 の上面を露出させる。次に、ダンシング工程を経ると、図 2 に示す半導体構成体 23 が複数個得られる。

【0031】

さて、図 2 に示すように、接着層 22 の上面の所定の複数箇所にそれぞれ半導体構成体 23 のシリコン基板 24 の下面を接着したら、次に、図 3 に示すように、複数の半導体構成体 23 を含む接着層 22 の上面にポリイミドやエポキシ系樹

脂などからなる封止膜 35 を印刷によりその厚さが半導体構成体 23 の高さよりもやや厚くなるように形成する。したがって、この状態では、半導体構成体 23 の上面は封止膜 35 によって覆われている。次に、封止膜 35 および半導体構成体 23 の上面側を適宜に研磨することにより、図 4 に示すように、柱状電極 33 の上面を露出させる。

【0032】

ここで、図 2 に示す半導体構成体 23 を製造する場合も、上述の如く、柱状電極 33 および再配線 32 を含む保護膜 27 の上面に封止膜 34 をその厚さが柱状電極 33 の高さよりもやや厚くなるように形成し、次いで封止膜 34 および柱状電極 33 の上面側を適宜に研磨することにより、柱状電極 33 の上面を露出させている。したがって、研磨工程は 2 回となる。

【0033】

そこで、次に、研磨工程を 1 回とすることができる場合について説明する。図 2 に示す状態において、半導体構成体 23 として封止膜 34 を備えていないものを用意する。つまり、接続パッド 25 および絶縁膜 26 が形成されたウエハ状態の半導体基板上に保護膜 27、再配線 32、柱状電極 33 を形成した後、封止膜 34 を形成することなく、これをダイシングする。

【0034】

そして、図 3 に示す工程において、封止膜 34、35 を形成すべき領域に同一の封止材料によって同時に封止膜 34、35 を形成し、該封止膜 34、35（但し、封止膜は一体化されており境界はない）と共に柱状電極 33 の上面側を研磨すればよい。つまり、封止膜形成工程を 1 回とすることにより、研磨工程は 1 回とすることができる。

【0035】

ただし、研磨工程を 1 回とする場合には、図 2 に示す状態における半導体構成体 23 の柱状電極 33 の高さに電解メッキによる形成に伴うばらつきが生じるのに対し、研磨工程を 2 回とする場合には、図 2 に示す状態における半導体構成体 23 の高さが均一となり、図 2 に示す状態における半導体構成体 23 の高さを予め揃えておくことができる。

【0036】

さて、図4に示す研磨工程が終了したら、次に、図5に示すように、面一となった両封止膜34、35および柱状電極33の上面に第1の上層絶縁膜36を形成する。この第1の上層絶縁膜36は、感光性ポリイミド、感光性ポリベンザオキサゾール、感光性エポキシ樹脂、感光性ノボラック樹脂、感光性アクリル系カルゾ樹脂などからなり、ドライフィルム化されている。したがって、このドライフィルム化されたものをラミネータによりラミネートすると、第1の上層絶縁膜36が形成される。なお、後述する第2および第3の上層絶縁膜41、45の場合も同様であるが、印刷などの塗布法により形成するようにしてもよい。

【0037】

次に、第1の上層絶縁膜36の柱状電極33の上面中央部に対応する部分に、フォトリソグラフィにより、開口部37を形成する。次に、図6に示すように、開口部37を介して露出された柱状電極33の上面を含む第1の上層絶縁膜36の上面全体に第1の下地金属層38aを形成する。この場合、第1の下地金属層38aは、無電解メッキにより形成された銅層のみからなっているが、スパッタにより形成された銅層のみであってもよく、またスパッタにより形成されたチタンなどの薄膜層上にスパッタにより銅層を形成したものであってもよい。これは、後述する第2の下地金属層43aの場合も同様である。

【0038】

次に、第1の下地金属層38aの上面にメッキレジスト膜51をパターン形成する。この場合、第1の上層再配線39形成領域に対応する部分におけるメッキレジスト膜51には開口部52が形成されている。次に、第1の下地金属層38aをメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜51の開口部52内の第1の下地金属層38aの上面に第1の上層金属層38b第1の上層再配線39を形成する。図1および図6において、第1の上層絶縁膜36の開口部37内には第1の下地金属層38aのみが形成されているが、これは図示の都合上であって、実際には、第1の上層金属層38bも形成される。

【0039】

ここで、第1の上層再配線39は柱状電極33上にメッキにより直接接合され

るものであるため、第1の上層絶縁膜36の開口部37は、 $10\mu\text{m} \times 10\mu\text{m}$ の方形または同面積の円形の面積を有していれば強度的に十分である。この種の露光機は数 μm の位置合わせ精度を有しており、通常、柱状電極33の直径は $100 \sim 150\mu\text{m}$ 程度（ピッチは、通常、この2倍）であるので、従来の、柱状電極と再配線の接合をボンディングによる方法と比較すると、柱状電極のサイズおよび配置間隔が遙かに小さい場合にも適用でき、且つ、プロセスも効率的である。

【0040】

このように、この発明の方法によれば、柱状電極に上層の再配線を接合するための絶縁膜の開口部の幅を柱状電極の幅の $1/2$ 以下とすることが可能であり、これにより半導体構成体の柱状電極のサイズおよび配置間隔も小さいものとすることができるので、上層の再配線を有する本発明の半導体装置のサイズを一層小さいものとすることができる。

【0041】

次に、メッキレジスト膜51を剥離し、次いで、第1の上層金属層38bをマスクとして第1の下地金属層38aの不要な部分をエッチングして除去すると、図7に示すように、第1の下地金属層38aおよび第1の上層金属層38bからなる第1の上層再配線39が形成される。

【0042】

次に、図8に示すように、第1の上層再配線39を含む第1の上層絶縁膜36の上面全体に感光性ポリイミドなどからなる第2の上層絶縁膜41をパターン形成する。この場合、第2の上層絶縁膜41の第1の上層再配線39の接続パッド部に対応する部分には開口部42が形成されている。次に、開口部42を介して露出された第1の上層再配線39の接続パッド部を含む第2の上層絶縁膜41の上面全体に第2の下地金属層43aを無電解メッキにより形成する。

【0043】

次に、第2の下地金属層43aの上面にメッキレジスト膜53をパターン形成する。この場合、第2の上層再配線44形成領域に対応する部分におけるメッキレジスト膜53には開口部54が形成されている。次に、第2の下地金属層43

a をメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜 53 の開口部 54 内の第 2 の下地金属層 43 a の上面に第 2 の上層金属層 43 b を形成する。

【0044】

次に、メッキレジスト膜 53 を剥離し、次いで、第 2 の上層再配線 44 をマスクとして第 2 の下地金属層 43 の不要な部分をエッチングして除去すると、図 9 に示すように、第 2 の下地金属層 43 および第 2 の上層金属層 43 b からなる第 2 の上層再配線 44 が形成される。

【0045】

次に、図 10 に示すように、第 2 の上層再配線 44 を含む第 2 の上層絶縁膜 41 の上面全体に感光性ポリイミドなどからなる第 3 の上層絶縁膜 45 をパターン形成する。この場合、第 3 の上層絶縁膜 45 の第 2 の上層再配線 44 の接続パッド部に対応する部分には開口部 46 が形成されている。次に、開口部 46 内およびその上方に半田ボール 47 を第 2 の上層再配線 44 の接続パッド部に接続させて形成する。

【0046】

次に、図 11 に示すように、互いに隣接する半導体構成体 23 間において、3 層の絶縁膜 45、41、36、封止膜 35、接着層 22 およびベース板 21 を切断すると、図 1 に示す半導体装置が複数個得られる。

【0047】

このようにして得られた半導体装置では、半導体構成体 23 の柱状電極 33 に接続される第 1 の下地金属層 38 および第 1 の上層再配線 39 を無電解メッキ（またはスパッタ）および電解メッキにより形成し、第 1 の上層再配線 39 の接続パッド部に接続される第 2 の下地金属層 43 および第 2 の上層再配線 44 を無電解メッキ（またはスパッタ）および電解メッキにより形成しているので、ボンディングによらないで、半導体構成体 23 の柱状電極 33 と第 1 の上層再配線 39 との間および第 1 の上層再配線 39 と第 2 の上層再配線 44 との間を導電接続することができる。

【0048】

また、上記製造方法では、ベース板 2 1 上の接着層 2 2 上の所定の複数箇所にそれぞれ半導体構成体 2 3 を接着して配置し、複数の半導体構成体 2 3 に対して第 1 ～ 第 3 の上層絶縁膜 3 6、4 1、4 5、第 1、第 2 の下地金属層 3 8、4 3、第 1、第 2 の上層再配線 3 9、4 4 および半田ボール 4 7 の形成を一括して行い、その後に分断して複数個の半導体装置を得ているので、製造工程を簡略化することができる。

【0 0 4 9】

また、ベース板 2 1 と共に複数の半導体構成体 2 3 を搬送することができるので、これによっても製造工程を簡略化することができる。さらに、ベース板 2 1 の外形寸法を一定にすると、製造すべき半導体装置の外形寸法に関係なく、搬送系を共有化することができる。

【0 0 5 0】

さらに、上記製造方法では、図 2 に示すように、再配線 3 2 および柱状電極 3 3 を備えた C S P タイプの半導体構成体 2 3 を接着層 2 2 上に接着しているので、例えば、シリコン基板 2 4 上に接続パッド 2 5、絶縁膜 2 6 および保護膜 2 7 を設けてなる通常の半導体チップを接着層 2 2 上に接着して、半導体チップの周囲に設けられた封止膜上に再配線および柱状電極を形成する場合と比較して、コストを低減することができる。

【0 0 5 1】

例えば、切断前のベース板 2 1 がシリコンウエハのように一定のサイズのほぼ円形状である場合、接着層 2 2 上に接着された半導体チップの周囲に設けられた封止膜上に再配線および柱状電極を形成すると、処理面積が増大する。換言すれば、低密度処理になるため、一回当たりの処理枚数が低減し、スループットが低下するので、コストアップとなる。

【0 0 5 2】

これに対し、上記製造方法では、再配線 3 2 および柱状電極 3 3 を備えた C S P タイプの半導体構成体 2 3 を接着層 2 2 上に接着した後に、ビルドアップしているので、プロセス数は増大するが、柱状電極 3 3 を形成するまでは高密度処理のため、効率が良く、プロセス数の増大を考慮しても、全体の価格を低減するこ

とができる。

【0053】

次に、図1に示す半導体装置の製造方法の他の例について説明する。まず、図12に示すように、紫外線透過性の透明樹脂板やガラス板などからなる別のベース板55の上面全体に紫外線硬化型の粘着シートなどからなる接着層56を接着し、接着層56の上面に上述のベース板21および接着層22を接着したものを用意する。

【0054】

そして、図2～図10にそれぞれ示す製造工程を経た後に、図13に示すように、3層の絶縁膜45、41、36、封止膜35、接着層22、ベース板21および接着層56を切断し、別のベース板55を切断しない。次に、別のベース板55の下面側から紫外線を照射し、接着層56を硬化させる。すると、分断されたベース板21の下面に対する接着層56による接着性が低下する。そこで、接着層56上に存在する個片化されたものを1つずつ剥がしてピックアップすると、図1に示す半導体装置が複数個得られる。

【0055】

この製造方法では、図13に示す状態において、接着層56上に存在する個片化された半導体装置がバラバラとならないので、専用の半導体装置載置用トレーを用いることなく、そのまま、図示しない回路基板上への実装時に1つずつ剥がしてピックアップすることができる。また、別のベース板55の上面に残存する接着性が低下した接着層56を剥離すると、別のベース板55を再利用することができる。さらに、別のベース板55の外形寸法を一定にすると、製造すべき半導体装置の外形寸法に関係なく、搬送系を共有化することができる。

【0056】

なお、別のベース板55として、膨張させることにより半導体装置を取り外す、通常のダイシングテープなどを用いることも可能であり、その場合には、接着層は紫外線硬化型でなくてもよい。また、別のベース板55を研磨やエッチングにより除去するようにしてもよい。

【0057】

次に、図 1 に示す半導体装置の製造方法のさらに他の例について説明する。この製造方法では、図 5 に示す工程後に、図 14 に示すように、開口部 37 を介して露出された柱状電極 33 の上面を含む第 1 の上層絶縁膜 36 の上面全体に銅の無電解メッキにより第 1 の下地金属層 38a を形成する。次に、第 1 の下地金属層 38a をメッキ電流路として銅の電解メッキを行うことにより、第 1 の下地金属層 38a の上面全体に第 1 の上層金属形成用層 38c を形成する。次に、第 1 の上層金属形成用層 38c の上面の第 1 の上層再配線形成領域に対応する部分にレジスト膜 57 をパターン形成する。

【0058】

次に、レジスト膜 57 をマスクとして第 1 の上層金属形成用層 38c および第 1 の下地金属層 38a の不要な部分をエッチングして除去すると、図 15 に示すように、レジスト膜 57 下にのみ第 1 の上層配線層 39 が残存される。この後、レジスト膜 57 を剥離する。なお、これと同様の形成方法により、第 2 の上層再配線 44 を形成するようにしてもよい。

【0059】

ところで、図 2 に示すベース板 21 あるいは図 12 に示す別のベース板 55 をトレイ状とすることもできる。つまり、ベース板を、半導体構成体 23 を配列する領域が周囲より陥没した受け皿のような形状とする。そして、このトレイ状のベース板の半導体構成体 23 配列領域を囲む周囲の上面にメッキ電流路用金属層を設け、このメッキ電流路用金属層とメッキ電流路用の下地金属層（38、43）とを導電部材で接続して、電解メッキを行うようにしてもよい。この場合、トレイの外形サイズを同一としておくことにより、製造する半導体装置のサイズが異なる場合でも、同一の製造装置の使用が可能となり効率的となる。

【0060】

（第 2 実施形態）

図 3 に示す製造工程において、接着層 22 を半導体構成体 23 のシリコン基板 24 の下面に設け、この接着層 22 をベース板 21 の上面の各所定の箇所に接着した場合には、図 16 に示すこの発明の第 2 実施形態としての半導体装置が得られる。

【0061】

このようにして得られた半導体装置では、シリコン基板 24 の下面が接着層 22 を介してベース板 21 の上面に接着されているほかに、シリコン基板 24 の側面などが封止膜 36 を介してベース板 21 の上面に接続されているので、半導体構成体 23 のベース板 21 に対する接合強度をある程度強くすることができる。

【0062】

(第 3、第 4 実施形態)

図 17 はこの発明の第 3 実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 1 に示す半導体装置と異なる点は、ベース板 21 および接着層 22 を備えていないことである。

【0063】

この第 3 実施形態の半導体装置を製造する場合には、例えば図 10 に示すように、半田ボール 47 を形成した後に、ベース板 21 を接着層 22 から剥がしたりまたはベース板 21 および接着層 22 を研磨やエッチングなどにより除去するなどして取り除いた後に、互いに隣接する半導体構成体 23 間において、3 層の絶縁膜 45、41、36 および封止膜 35 を切断すると、図 17 に示す半導体装置が複数個得られる。このようにして得られた半導体装置では、ベース板 21 および接着層 22 を備えていないので、その分だけ、薄型化することができる。

【0064】

また、ベース板 21 および接着層 22 を研磨やエッチングなどにより除去した後に、シリコン基板 24 および封止膜 35 の下面側を適宜に研磨し、次いで互いに隣接する半導体構成体 23 間において、3 層の絶縁膜 45、41、36 および封止膜 35 を切断すると、図 18 に示すこの発明の第 4 実施形態としての半導体装置が複数個得られる。このようにして得られた半導体装置では、さらに薄型化することができる。

【0065】

なお、半田ボール 47 を形成する前に、ベース板 21 および接着層 22 を研磨やエッチングなどにより除去し（必要に応じてさらにシリコン基板 24 および封止膜 35 の下面側を適宜に研磨し）、次いで半田ボール 47 を形成し、次いで互

いに隣接する半導体構成体 23 間において、3 層の絶縁膜 45、41、36 および封止膜 35 を切断するようにしてもよい。

【0066】

(第 5 実施形態)

図 19 はこの発明の第 5 実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図 1 に示す半導体装置と異なる点は、接着層 22 の下面に放熱用の金属層 61 が接着されていることである。金属層 61 は、厚さ数十 μm の銅箔などからなっている。

【0067】

この第 5 実施形態の半導体装置を製造する場合には、例えば図 10 に示すように、半田ボール 47 を形成した後に、ベース板 21 を研磨やエッチングなどにより除去し、次いで接着層 22 の下面全体に金属層 61 を接着し、次いで互いに隣接する半導体構成体 23 間において、3 層の絶縁膜 45、41、36、封止膜 35、接着層 22 および金属層 61 を切断すると、図 19 に示す半導体装置が複数個得られる。

【0068】

なお、接着層 22 も研磨やエッチングなどにより除去し（必要に応じてさらにシリコン基板 24 および封止膜 35 の下面側を適宜に研磨し）、シリコン基板 24 および封止膜 35 の下面に新たな接着層を介して金属層 61 を接着するようにしてもよい。

【0069】

(第 6 実施形態)

図 11 に示す場合には、互いに隣接する半導体構成体 23 間において切断したが、これに限らず、2 個またはそれ以上の半導体構成体 23 を 1 組として切断し、例えば、図 20 に示すこの発明の第 6 実施形態のように、3 個の半導体構成体 23 を 1 組として切断し、マルチチップモジュール型の半導体装置を得るようにしてもよい。この場合、3 個で 1 組の半導体構成体 23 は同種、異種のいずれであってもよい。

【0070】

なお、図 20 では、再配線 32、39、44 下の下地金属層は、図示の都合上、省略している。また、第 2 の上層再配線 44 の接続パッド部（半田ボール 47）が半導体構成体 23 の周囲における封止膜 35 上に配置されているか否か不明であるが、これは図示の都合上であり、実際には封止膜 35 上に配置されている。このようなことは、後述する実施形態においても同様である。

【0071】

ただし、例えば、図 20 では、半導体構成体 23 を接着層 22 の上面に接着しているもので、従来のようなボンディングと異なり、接着する際の位置合わせとしては高い精度は要求されず、したがって半導体構成体 23 の配置間隔を可及的に小さくすることが可能となる。そこで、半導体構成体 23 の配置間隔を可及的に小さくした場合には、第 2 の上層再配線 44 の少なくとも一部が封止膜 35 上に配置されるようにしてもよい。

【0072】

（第 7 実施形態）

図 20 に示す場合には、第 2 の上層再配線 44 の接続パッド部上に半田ボール 47 のみを設けているが、これに限らず、例えば、図 21 に示すこの発明の第 7 実施形態のように、第 2 の上層再配線 44 の接続パッド部上に接続パッド 62 を形成し、その上に半田ボール 47、LSI などからなる半導体チップ 63、コンデンサや抵抗などからなるチップ部品 64 を設けるようにしてもよい。

【0073】

この場合、半導体チップ 63 およびチップ部品 64 は第 3 の上層絶縁膜 45 の上面中央部に配置され、半田ボール 47 は第 3 の上層絶縁膜 45 の上面周辺部に配置されている。半導体チップ 63 は、チップ本体 63a の下面周辺部に複数のバンプ電極 63b が設けられた構造となっている。そして、半導体チップ 63 のバンプ電極 63b は接続パッド 62 に半田（図示せず）を介して導電接続されている。また、チップ本体 63a と第 3 の上層絶縁膜 45 との間には封止材 65 が充填されている。チップ部品 64 の両側の電極は接続パッド 62 上に半田 66 で接続されている。

【0074】

(第 8 実施形態)

図 21 では、3 個の半導体構成体 23 を 1 組としたものの中央部上にチップ部品 64 などを搭載し、周辺部上に半田ボール 47 を形成しているが、これに限らず、例えば図 22 に示すこの発明の第 8 実施形態のように、1 個の半導体構成体 23 の周囲における封止膜 35 のサイズをある程度大きくし、第 3 の上層絶縁膜 45 の中央部上に配置された接続パッド 62 上にチップ部品 64 などを搭載し、周辺部上に配置された接続パッド 62 上に接続ピン 67 の下部を半田（図示せず）を介して接続するようにしてもよい。この接続ピン 67 は、接続パッド 62 に半田付けされており、図示はしないが、回路基板に形成されたスルーホール内に挿入され、裏面側でスルーホールの周囲に形成されたパッド部に半田付けされるものである。

【0075】

(第 9 実施形態)

図 23 はこの発明の第 9 実施形態としての半導体装置の断面図を示したものである。次に、この半導体装置の構造についてその製造方法と併せ説明する。まず、図 20 を参照して説明すると、図 20 において、半田ボール 47 を形成せず、ベース板 21 を除去してなるものを用意する。以下、この用意したものを半導体ブロック 71 という。

【0076】

次に、半導体ブロック 71 の接着層 22 の下面に、半導体ブロック 71 よりもある程度大きめの放熱用の金属板 72 の上面中央部を接着する。次に、半導体ブロック 71 の周囲における金属板 72 の上面に封止膜 73 をモールド法や印刷法によりその上面が半導体ブロック 71 の第 3 の上層絶縁膜 45 の上面と面一となるように形成する。なお、接着層 22 を除去し、モールド用の金型内に金属板 72 を配置し、その上面中央部に半導体ブロック 71 を配置するようにしてもよい。

【0077】

次に、第 3 の上層絶縁膜 45 および封止膜 73 の上面に第 3 の上層再配線（第 3 の下地金属層を含む）74 を第 2 の上層再配線 44 の接続パッド部に接続させ

て形成する。次に、第3の上層再配線74を含む第3の上層絶縁膜45の上面に第4の上層絶縁膜75を形成する。次に、第4の上層絶縁膜75の第3の上層再配線74の接続パッド部に対応する部分に開口部76を形成する。次に、開口部76内およびその周囲における第4の上層絶縁膜75上に接続パッド77を第3の上層再配線74の接続パッド部に接続させて形成する。

【0078】

次に、半導体ブロック71上における接続パッド77の上面にコンデンサや抵抗などからなるチップ部品78の両側の電極を半田79を介して接続する。また、封止膜73上における接続パッド77の上面に接続ピン80の下部を半田（図示せず）を介して接続する。かくして、図23に示す半導体装置が得られる。

【0079】

（第10実施形態）

図24はこの発明の第10実施形態としての半導体装置の断面図を示したものである。次に、この半導体装置の構造についてその製造方法と併せ説明する。まず、この場合も、図20を参照して説明すると、図20において、半田ボール47を形成せず、ベース板21および接着層22を除去してなるものを用意する。以下、この用意したものを半導体ブロック81という。ただし、第2の上層再配線（第2の下地金属層を含む）44の配置は、図示の都合上、図20と図24とは異なっている。また、図24では、第3の上層絶縁膜45の上面の各所定の箇所に接続パッド82が第2の上層再配線44の接続パッド部に接続されて形成されている。

【0080】

次に、フレキシブル配線板83を用意する。このフレキシブル配線板83は、中央部に半導体ブロック81よりもやや大きめの開口部84を有するフィルム基板85を備えている。フィルム基板85の上面には配線86が設けられている。配線86の一端部は開口部84内に突出され、接続端子86aとなっている。配線86を含むフィルム基板85の上面には保護膜87が設けられている。保護膜87の配線86の他端部に対応する部分には開口部88が設けられている。開口部88を介して露出された配線86の他端部上には半田ボール89が設けられて

いるが、フレキシブル配線板 83 を用意した時点では半田ボール 89 は形成されていない。

【0081】

そして、フレキシブル配線板 83 の接続端子 86a を半導体ブロック 81 上の周辺部に配置された接続パッド 82 に半田（図示せず）を介して接続する。次に、半導体ブロック 81 の周囲におけるフレキシブル配線板 83 の下面に封止膜 90 をモールド法や印刷法によりその下面が半導体ブロック 71 のシリコン基板 24 などの下面と面一となるように形成する。次に、半導体ブロック 71 のシリコン基板 24 などの下面および封止膜 90 の下面に接着層 91 を介して放熱用の金属板 92 を接着する。

【0082】

次に、半導体ブロック 81 上の中央部に配置された接続パッド 82 の上面にコンデンサや抵抗などからなるチップ部品 93 の両側の電極を半田 94 を介して接続する。また、フレキシブル配線板 83 の開口部 88 を介して露出された配線 86 の他端部上に半田ボール 89 を形成する。かくして、図 24 に示す半導体装置が得られる。

【0083】

（第 11 実施形態）

なお、図 24 に示す場合において、図 25 に示すこの発明の第 10 実施形態のように、周辺部の封止膜 90 の厚さが半導体ブロック 81 の周面近傍の封止膜 90 の厚さよりも薄くなるようにしてもよい。この場合、封止膜 90 はモールド法により形成する。

【0084】

（第 12 実施形態）

図 26 はこの発明の第 12 実施形態としての半導体装置の断面図を示したものである。次に、この半導体装置の構造についてその製造方法と併せ説明する。まず、この場合も、図 20 を参照して説明すると、図 20 において、ベース板 21 および接着層 22 を除去してなるものを用意する。以下、この用意したものを半導体ブロック 101 という。この場合、半田ボール 47 は形成されているが、図

20に示す場合よりも径がやや小さい半田ボール（47A）が形成されている。

【0085】

次に、フレキシブル配線板102を用意する。このフレキシブル配線板102は、半導体ブロック81よりもある程度大きめのフィルム基板103を備えている。フィルム基板103の上面には配線104が設けられている。フィルム基板103の配線104の一端部に対応する部分にはスルーホール104が設けられている。配線104を含むフィルム基板103の上面には保護膜106が設けられている。保護膜106の配線104の他端部に対応する部分には開口部107が設けられている。開口部107を介して露出された配線106の他端部上には半田ボール108が設けられているが、フレキシブル配線板102を用意した時点では半田ボール108は形成されていない。

【0086】

そして、半導体ブロック101の半田ボール（47A）をフレキシブル配線板102のスルーホール105内に挿入し、リフロー処理により、半田47Aをスルーホール105内の配線104の一端部下面に接続させる。次に、半導体ブロック101の周囲におけるフレキシブル配線板102の下面に封止膜109をモールド法や印刷法によりその下面が半導体ブロック101のシリコン基板24などの下面と面一となるように形成する。

【0087】

次に、半導体ブロック101のシリコン基板24などの下面および封止膜109の下面に接着層110を介して放熱用の金属板111を接着する。次に、フレキシブル配線板8102の開口部107を介して露出された配線104の他端部上に半田ボール108を形成する。かくして、図26に示す半導体装置が得られる。

【0088】

（第13実施形態）

図27はこの発明の第13実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図20に示す半導体装置と大きく異なる点は、半田ボール47を1つも備えておらず、その代わりに、フレキシブル配線板1

21を備えていることである。

【0089】

この場合のフレキシブル配線板121は、フィルム基板122の一面に配線123が設けられ、配線123の両端部からなる接続端子123a（他方は図示せず）を除く部分を含むフィルム基板122の一面に保護膜124が設けられた構造となっている。一方、第3の上層絶縁膜45の上面の一端部には複数の接続端子125が所定の第2の上層再配線44の接続パッド部に接続されて形成されている。そして、フレキシブル配線板121の一方の接続端子123aは接続端子125に図示しない異方性導電接着剤または半田を介して接続されている。

【0090】

また、残りの第2の上層再配線44の接続パッド部上には接続パッド126が形成され、その上にはコンデンサや抵抗などからなるチップ部品127、CSPタイプの半導体構成体128が搭載されている。この場合、半導体構成体128は半導体構成体23とほぼ同じような構造となっている。そして、半導体構成体128の柱状電極129の下面は接続パッド126の上面に半田（図示せず）を介して接続されている。

【0091】

（第14実施形態）

図28はこの発明の第14実施形態としての半導体装置の断面図を示したものである。この半導体装置では、例えば図20に示すものにおいてベース板21を除去したものからなる半導体ブロック131と、例えば図21に示すものにおいてベース板21および接着層22を除去し且つ半田ボール47を形成しないものからなる半導体ブロック132とが接着層22を介して接着されている。この場合、上側の半導体ブロック132上には複数の半導体チップ63のみが搭載されている。

【0092】

また、両半導体ブロック131は、例えば図23に示す場合とほぼ同じフレキシブル配線板121を介して互いに接続されている。すなわち、上側の半導体ブロック132の第3の上層絶縁膜45の上面の一端部には複数の接続端子125

が所定の第2の上層再配線44Aの接続パッド部に接続されて形成されている。そして、フレキシブル配線板121の一方の接続端子123aは接続端子125に図示しない異方性導電接着剤または半田を介して接続されている。

【0093】

また、下側の半導体ブロック131の第3の上層絶縁膜45の下面の一端部には所定の第2の上層再配線44Bからなる接続端子が設けられている。そして、フレキシブル配線板121の他方の接続端子123bは所定の第2の上層再配線44Bからなる接続端子に異方性導電接着剤（または半田）133を介して接続されている。

【0094】

（第15実施形態）

図29はこの発明の第15実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図28に示す場合と大きく異なる点は、フレキシブル配線板121を長くして下側の半導体ブロック131の第3の上層絶縁膜45の下面に接着層151を介して接着したことである。

【0095】

この場合、半田ボール47は、接着層151、保護膜124およびフィルム基板122に形成された開口部152を介してフィルム基板122の外側に突出されている。また、フレキシブル配線板121の他方の接続端子123bは、他方の半導体ブロック131の両端部の所定の第2の上層再配線44Bからなる接続端子に、接着層151および保護膜124に形成された開口部153内に配置された半田154を介して接続されている。

【0096】

【発明の効果】

以上説明したように、この発明によれば、半導体基板上に再配線および柱状電極を有する複数または複数組の半導体構成体をベース板上に配置し、半導体構成体を含むベース板の上面全体に絶縁膜を形成し、絶縁膜の上面に上層再配線を半導体構成体の柱状電極に接続させて形成し、絶縁膜を少なくとも切断することにより、半導体構成体を1つまたは1組有し、その周囲に絶縁膜を有するとともに

、周囲の絶縁膜上に上層再配線の一部が配置されてなる半導体装置を複数個一括して得ることができ、従来のようなボンディング工程がなく、したがってボンディングによることなく外部接続電極の配置間隔を大きくすることができ、また複数または複数組の半導体構成体に対して絶縁膜および上層再配線の形成を一括して行うことができるので、製造工程を簡略化することができる。

【図面の簡単な説明】

【図 1】

この発明の第 1 実施形態としての半導体装置の断面図。

【図 2】

図 1 に示す半導体装置の製造方法の一例において、当初の製造工程の断面図。

【図 3】

図 2 に続く製造工程の断面図。

【図 4】

図 3 に続く製造工程の断面図。

【図 5】

図 4 に続く製造工程の断面図。

【図 6】

図 5 に続く製造工程の断面図。

【図 7】

図 6 に続く製造工程の断面図。

【図 8】

図 7 に続く製造工程の断面図。

【図 9】

図 8 に続く製造工程の断面図。

【図 1 0】

図 9 に続く製造工程の断面図。

【図 1 1】

図 1 0 に続く製造工程の断面図。

【図 1 2】

図 1 に示す半導体装置の製造方法の他の例において、当初用意したものの断面図。

【図 1 3】

同他の例において、所定の製造工程の断面図。

【図 1 4】

図 1 に示す半導体装置の製造方法のさらに他の例において、所定の製造工程の断面図。

【図 1 5】

図 1 4 に続く製造工程の断面図。

【図 1 6】

この発明の第 2 実施形態としての半導体装置の断面図。

【図 1 7】

この発明の第 3 実施形態としての半導体装置の断面図。

【図 1 8】

この発明の第 4 実施形態としての半導体装置の断面図。

【図 1 9】

この発明の第 5 実施形態としての半導体装置の断面図。

【図 2 0】

この発明の第 6 実施形態としての半導体装置の断面図。

【図 2 1】

この発明の第 7 実施形態としての半導体装置の断面図。

【図 2 2】

この発明の第 8 実施形態としての半導体装置の断面図。

【図 2 3】

この発明の第 9 実施形態としての半導体装置の断面図。

【図 2 4】

この発明の第 1 0 実施形態としての半導体装置の断面図。

【図 2 5】

この発明の第 1 1 実施形態としての半導体装置の断面図。

【図 2 6】

この発明の第 1 2 実施形態としての半導体装置の断面図。

【図 2 7】

この発明の第 1 3 実施形態としての半導体装置の断面図。

【図 2 8】

この発明の第 1 4 実施形態としての半導体装置の断面図。

【図 2 9】

この発明の第 1 5 実施形態としての半導体装置の断面図。

【図 3 0】

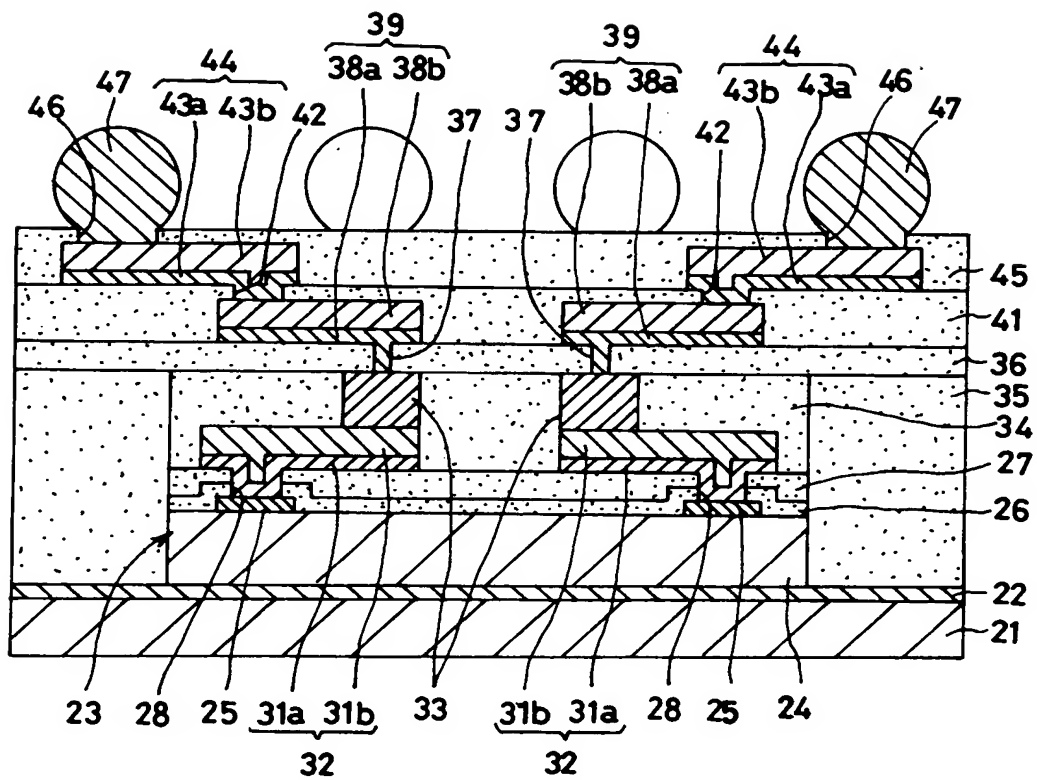
従来の半導体装置の一例の断面図。

【符号の説明】

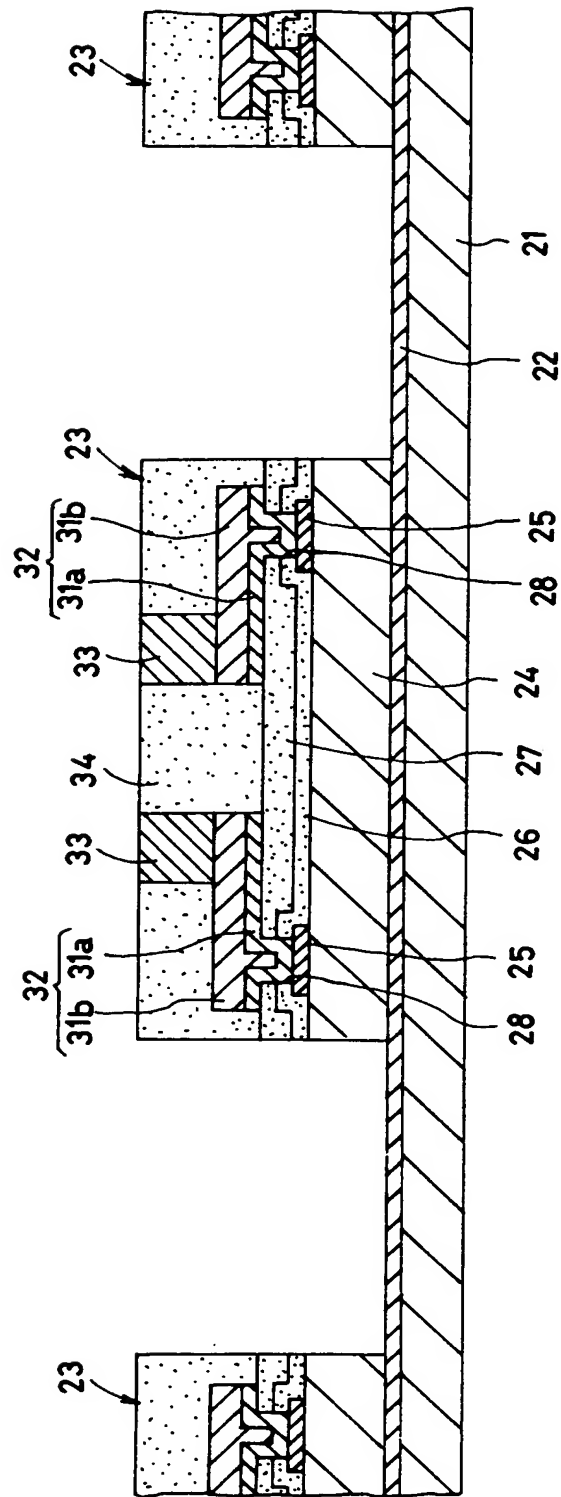
- 2 1 ベース板
- 2 2 接着層
- 2 3 半導体構成体
- 2 4 シリコン基板
- 2 5 接続パッド
- 3 1 下地金属層
- 3 2 再配線
- 3 3 柱状電極
- 3 4 封止膜
- 3 5 封止膜
- 3 6 第 1 の上層絶縁膜
- 3 8 第 1 の下地金属層
- 3 9 第 1 の上層再配線
- 4 1 第 2 の上層絶縁膜
- 4 3 第 2 の下地金属層
- 4 4 第 2 の上層再配線
- 4 5 第 3 の上層絶縁膜
- 4 7 半田ボール

【書類名】 図面

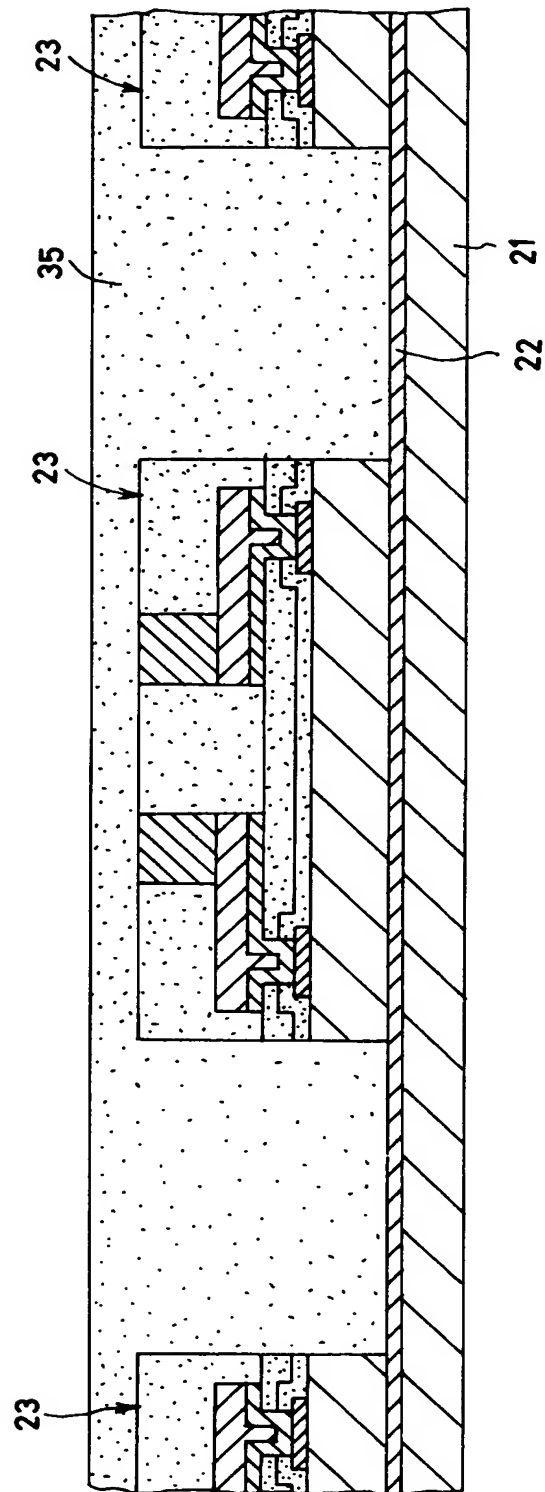
【図 1】



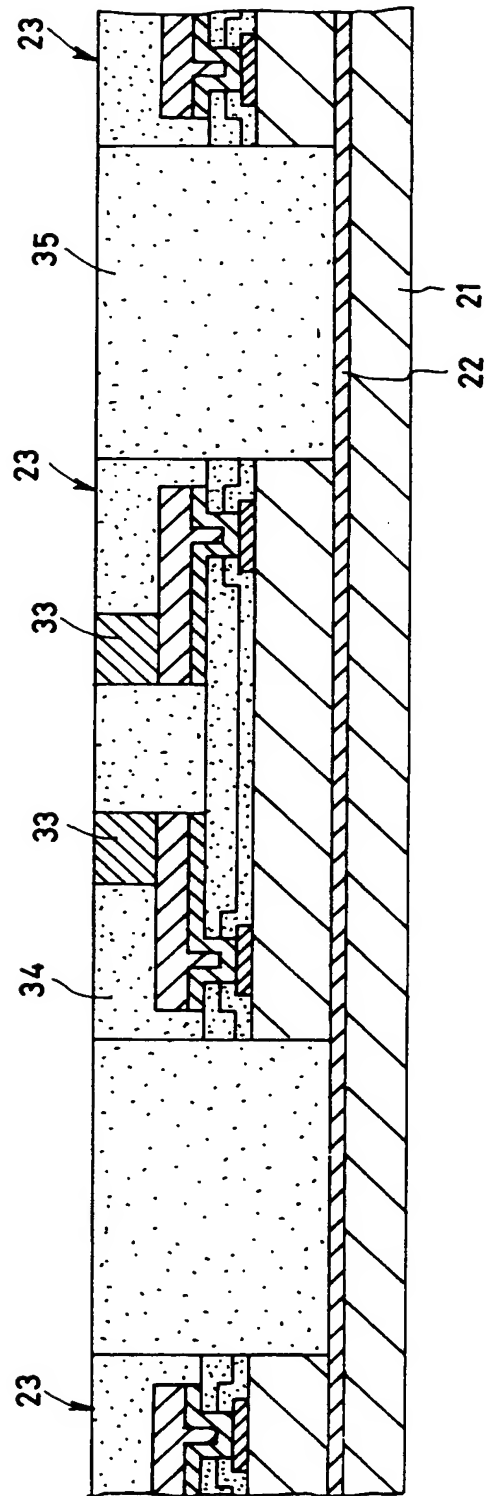
【図 2】



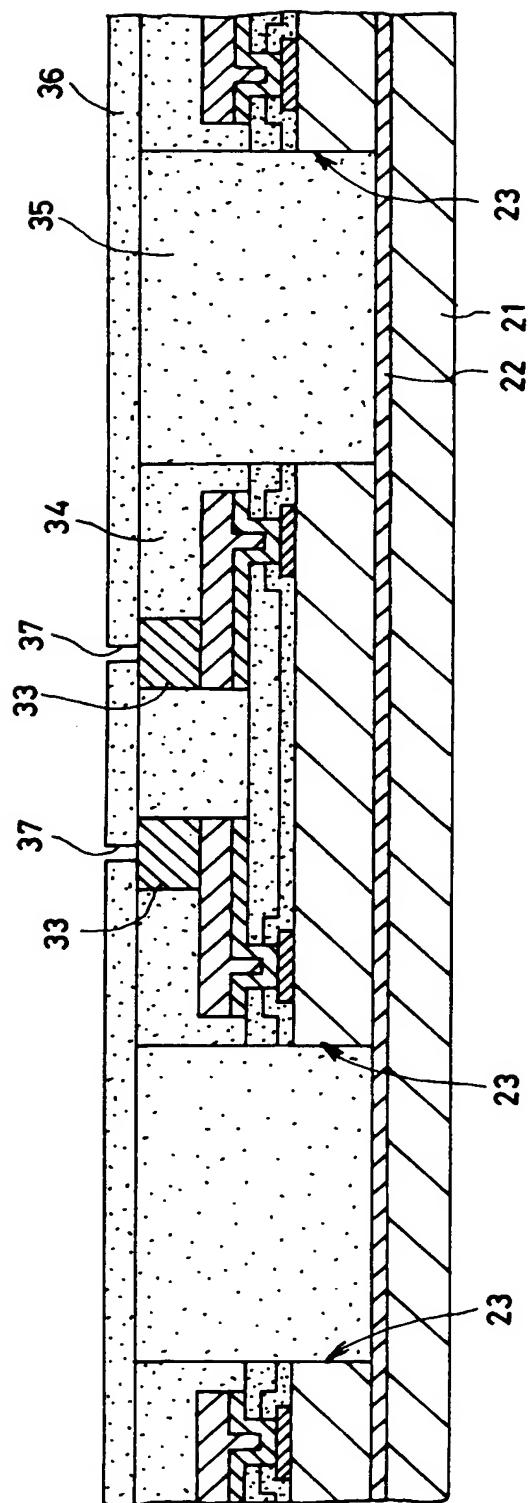
【図 3】



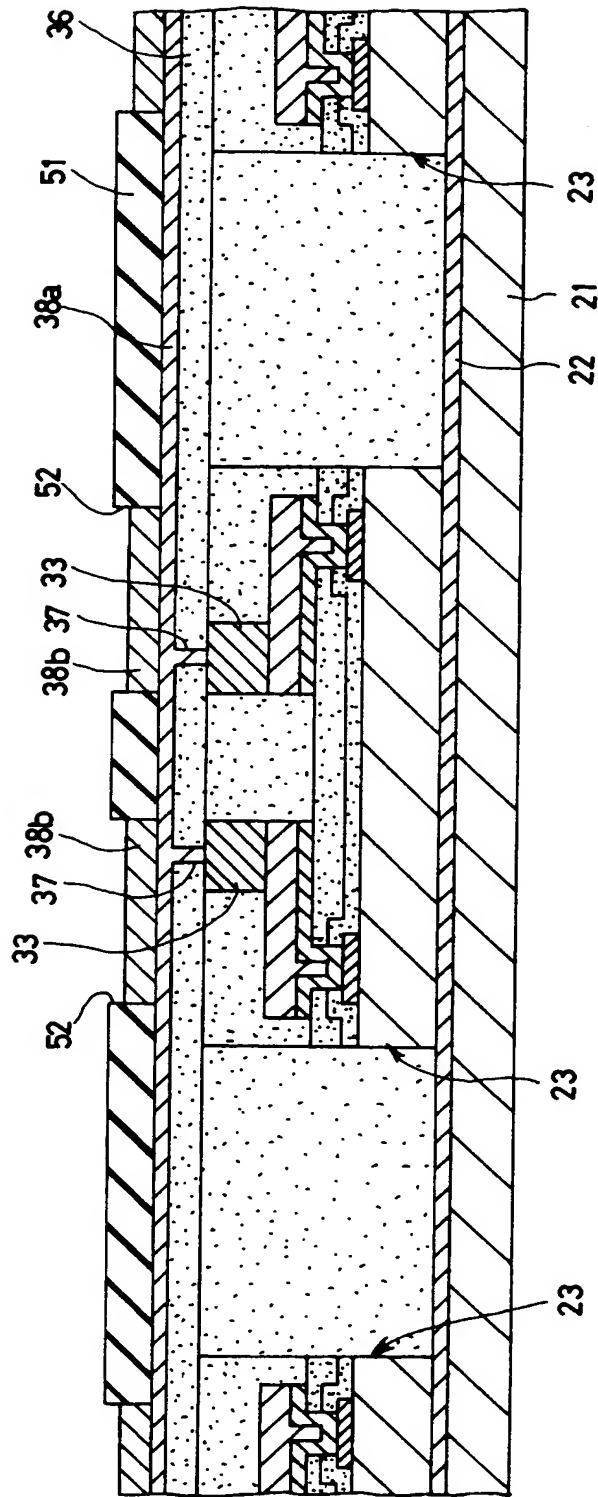
【図 4】



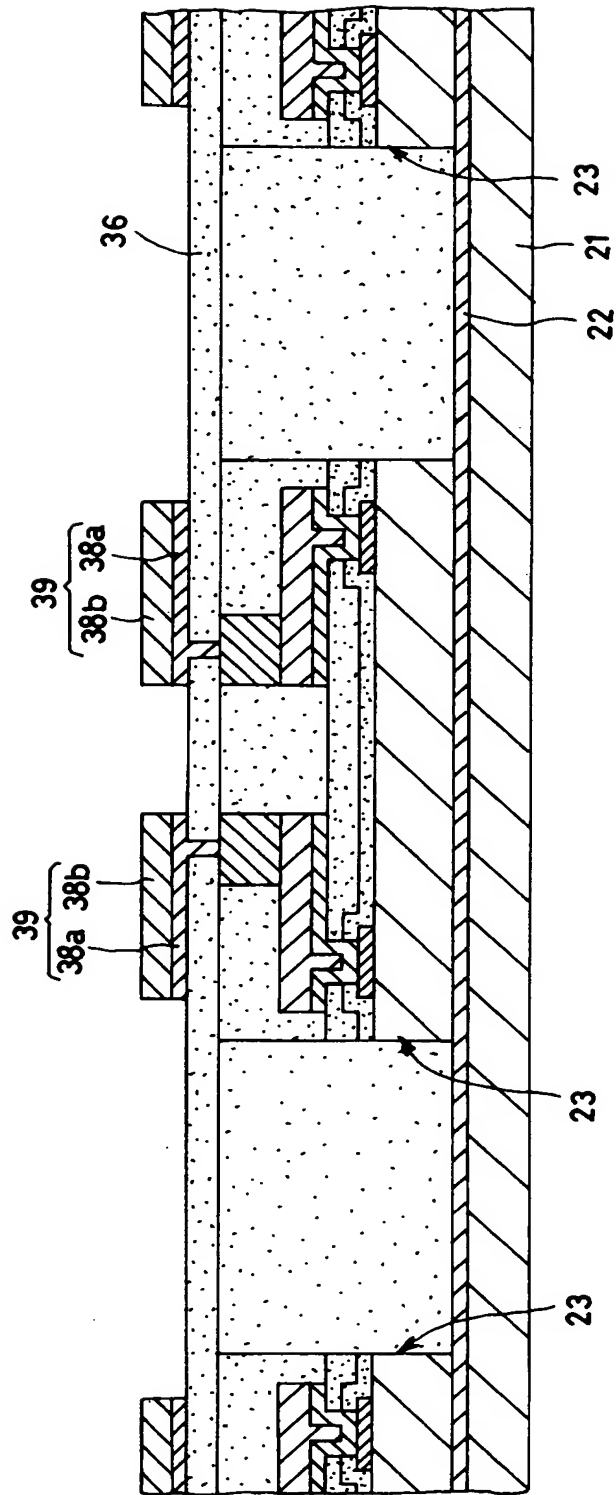
【図 5】



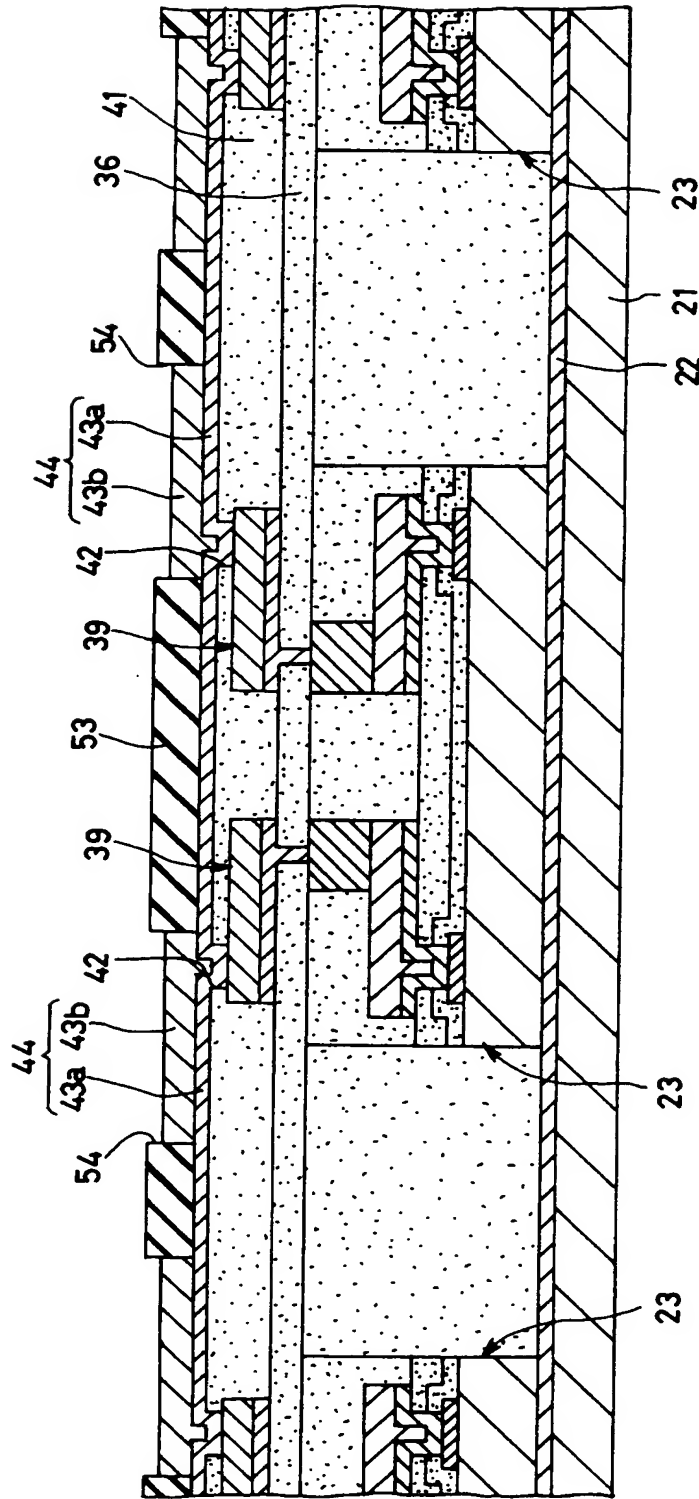
【図 6】



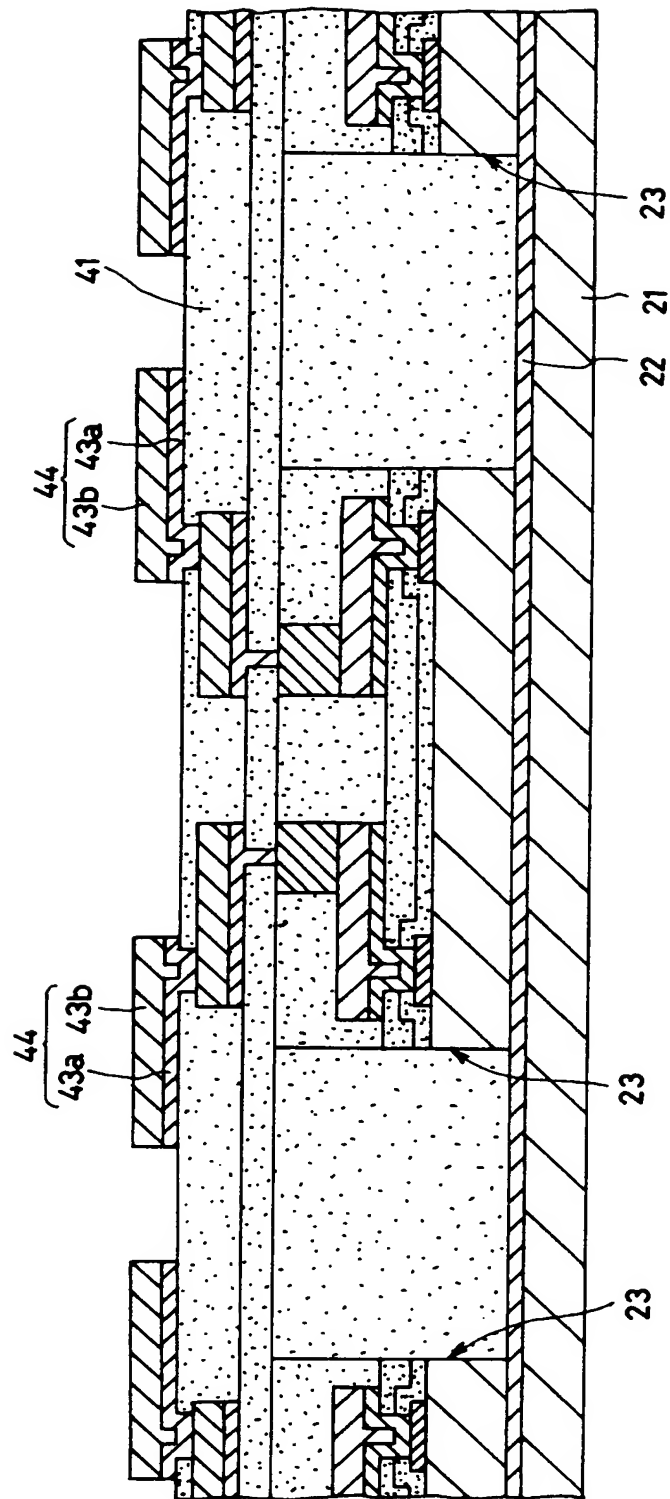
【図 7】



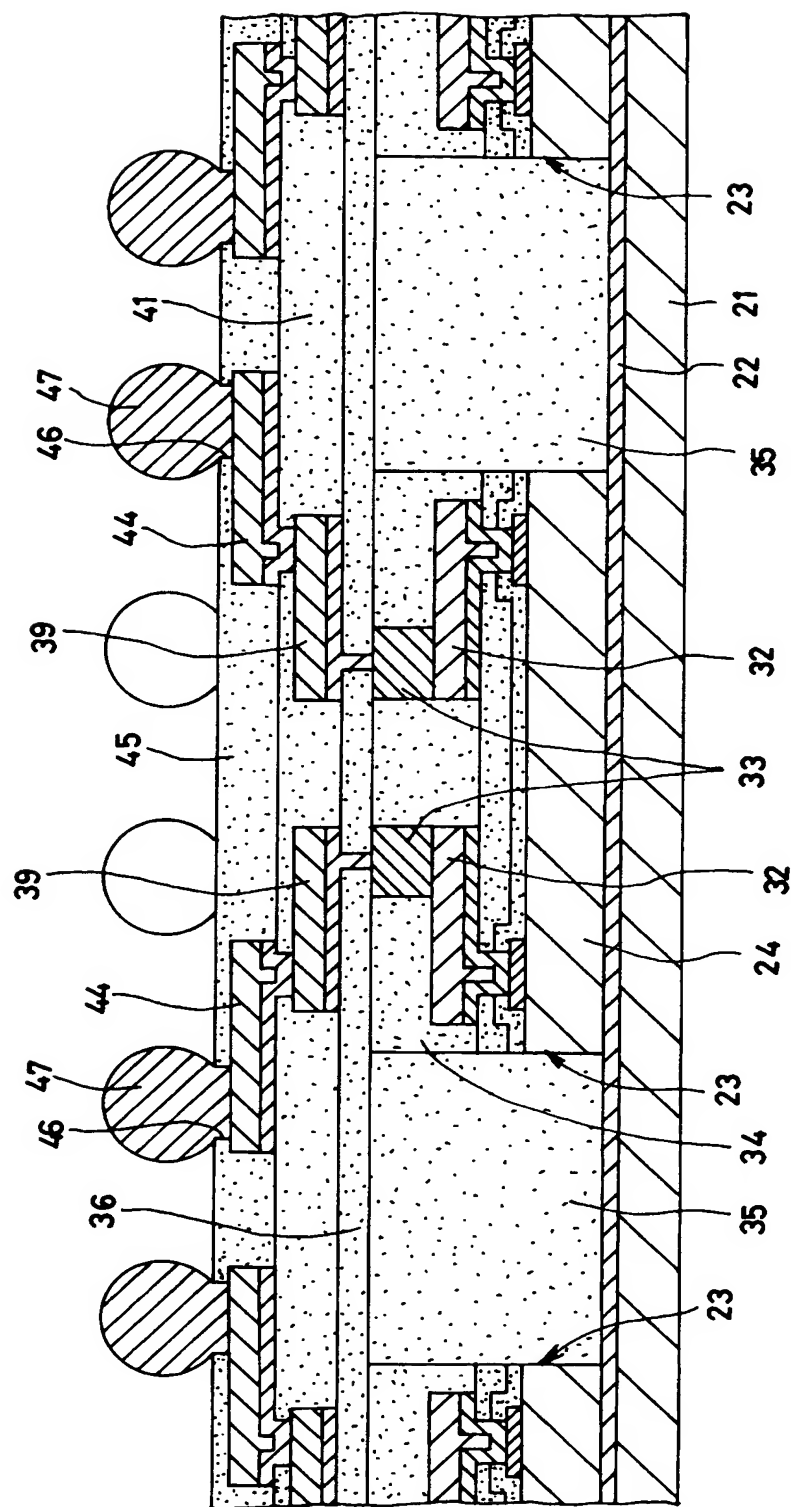
【図 8】



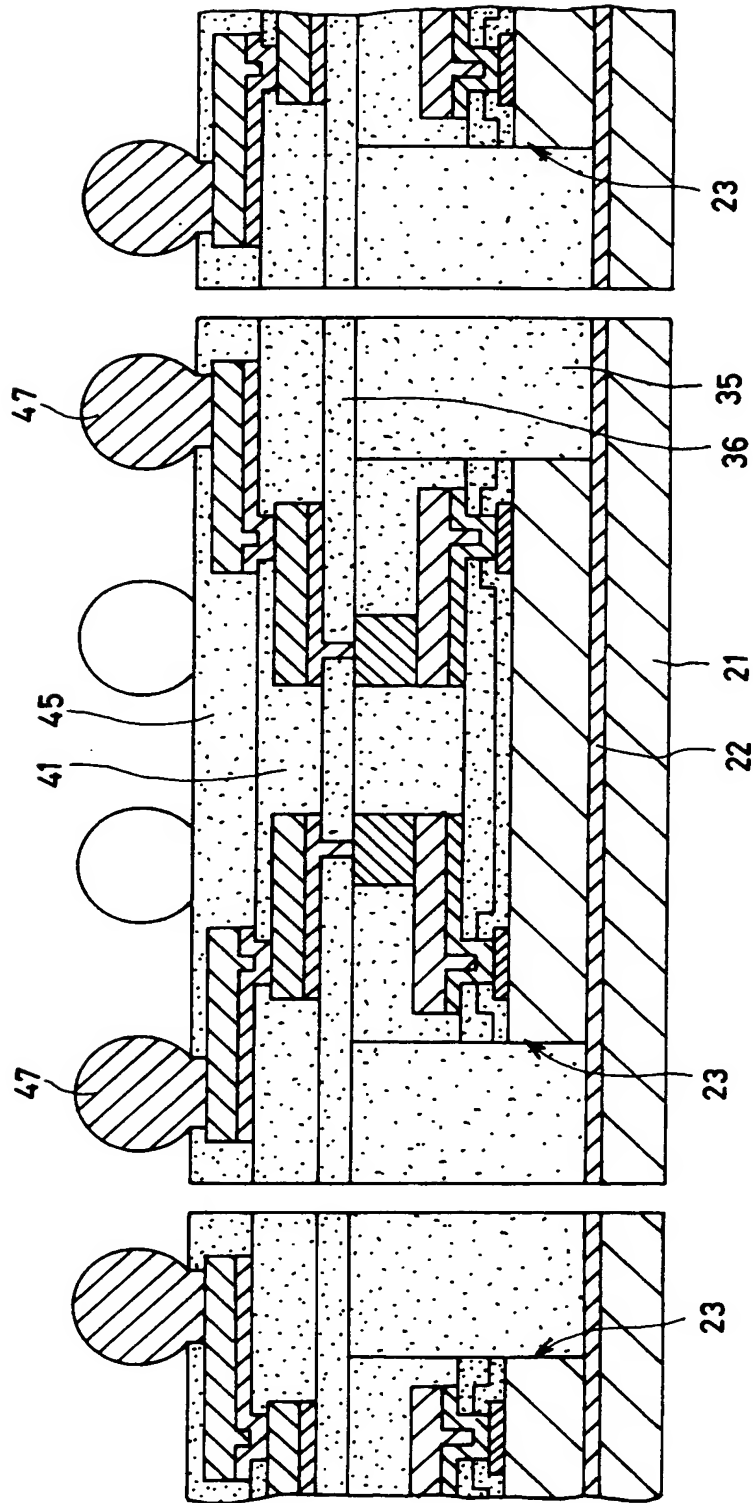
【図 9】



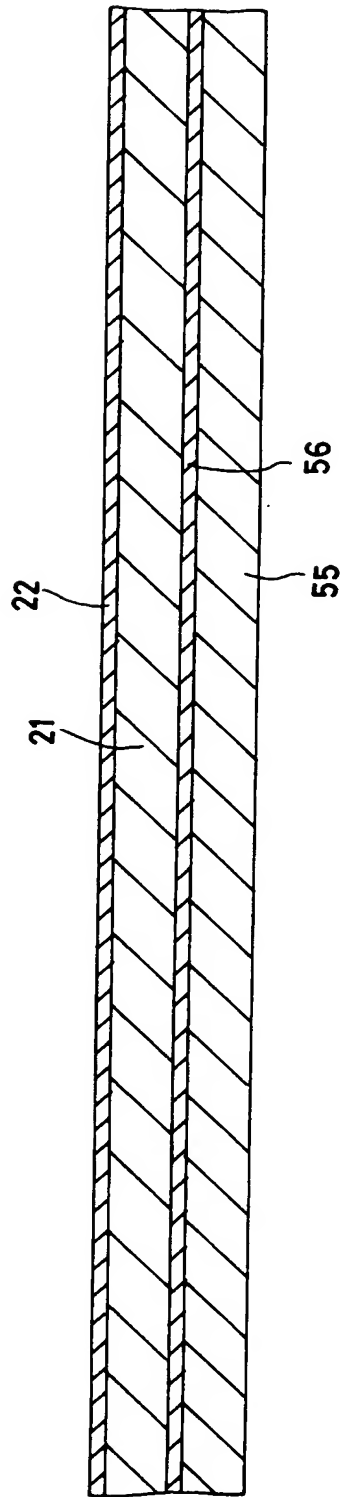
【図 10】



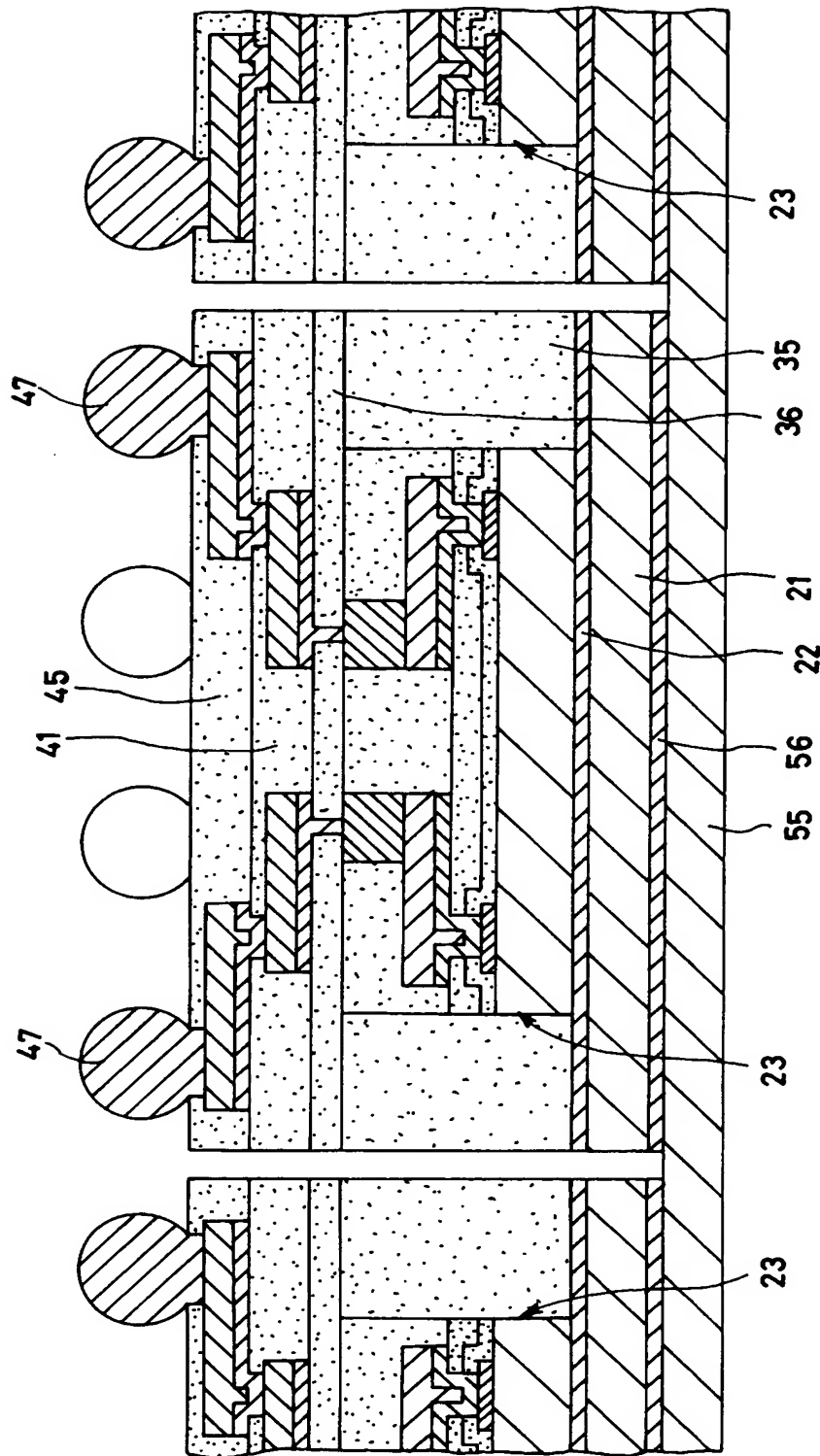
【図 11】



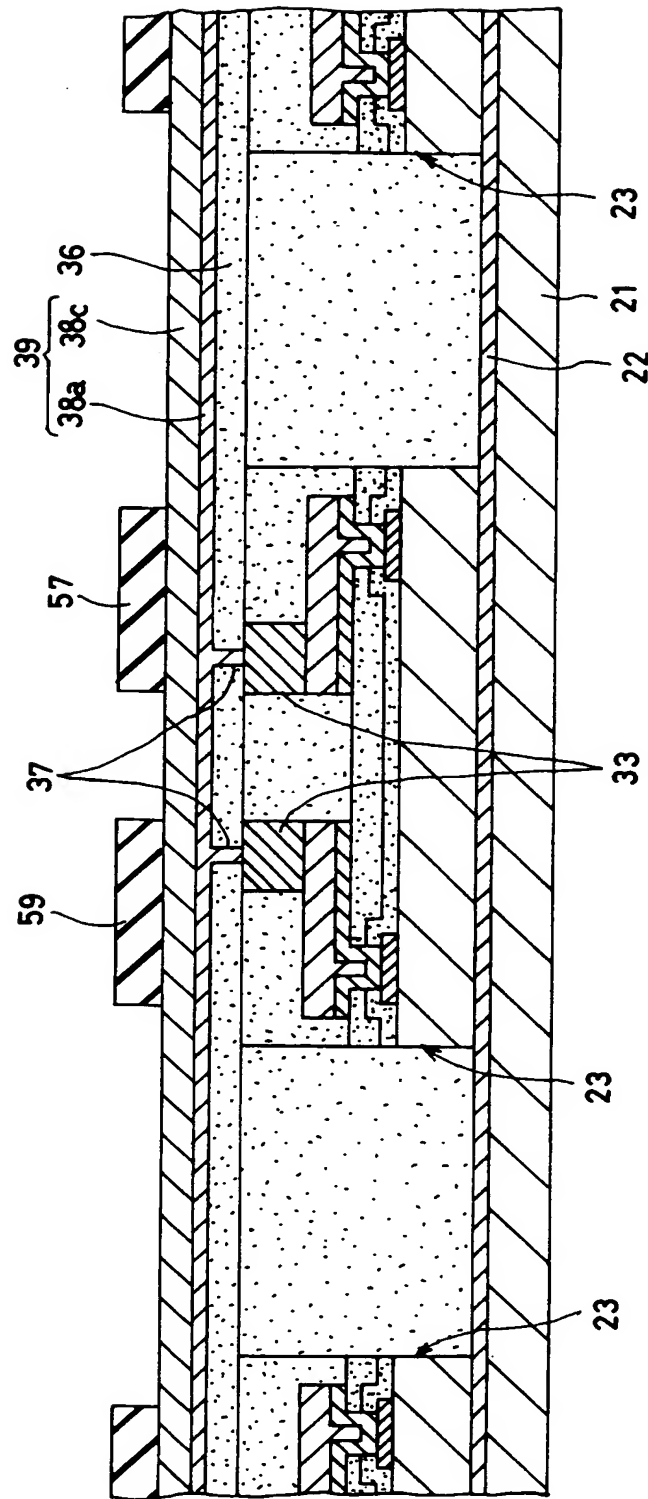
【図 12】



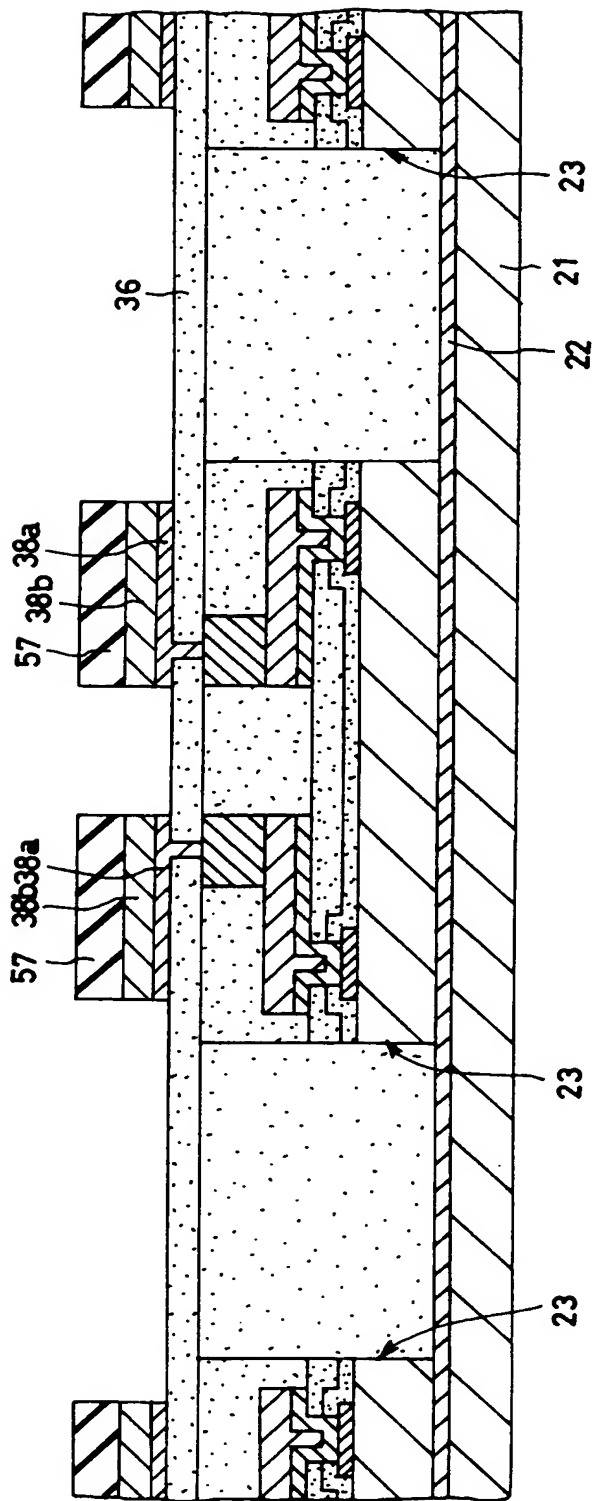
【図 13】



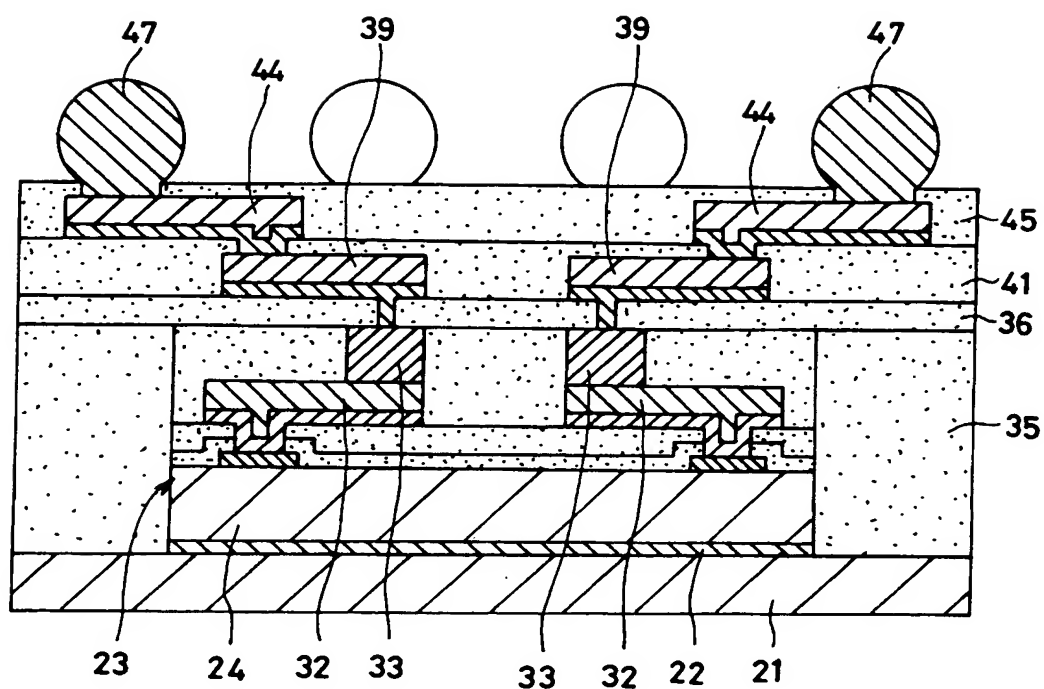
【図 14】



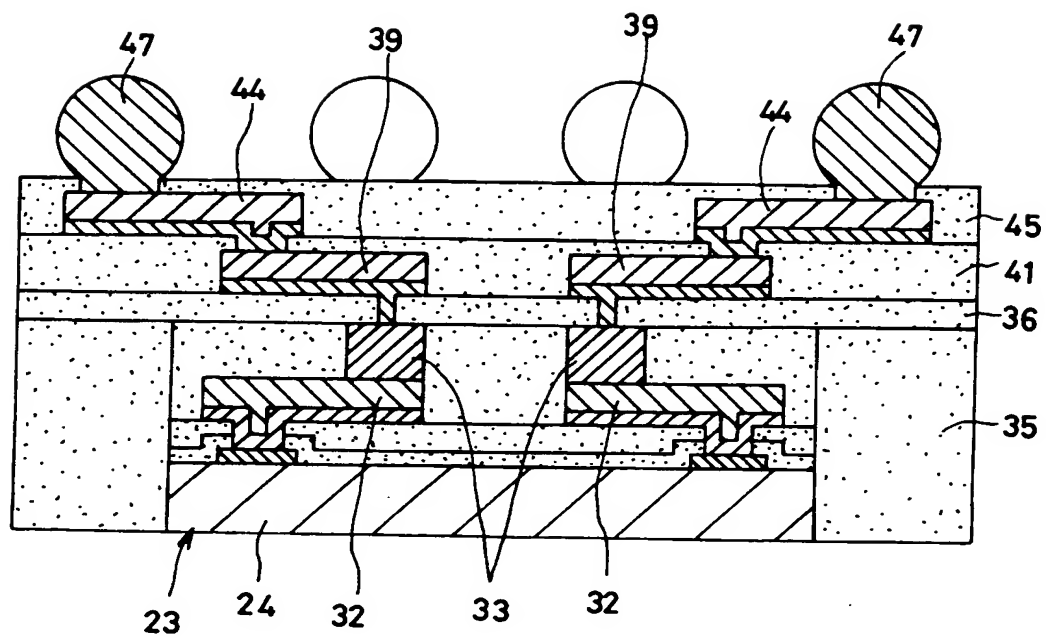
【図 15】



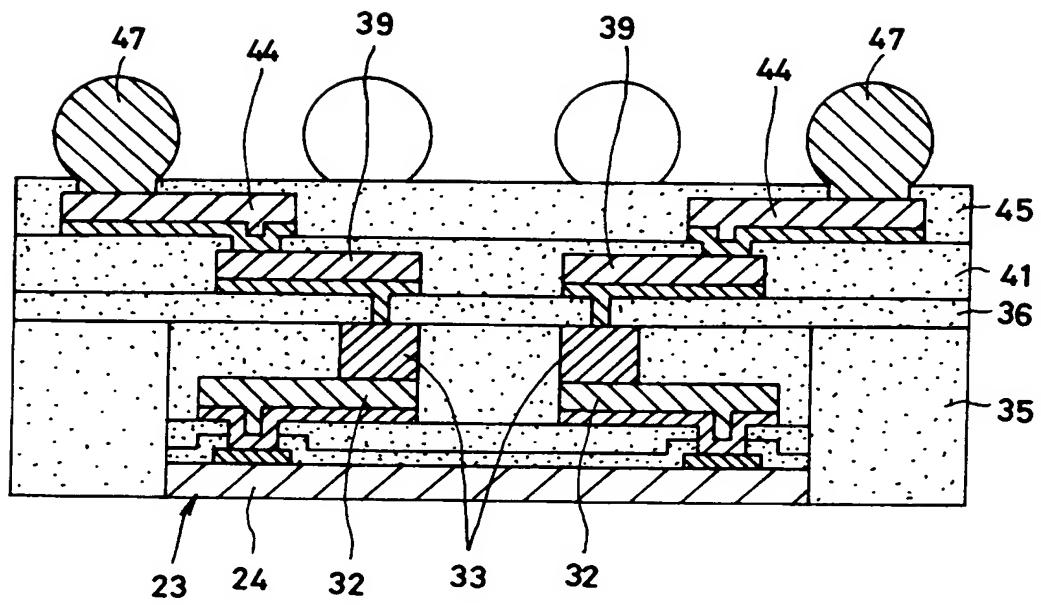
【図 16】



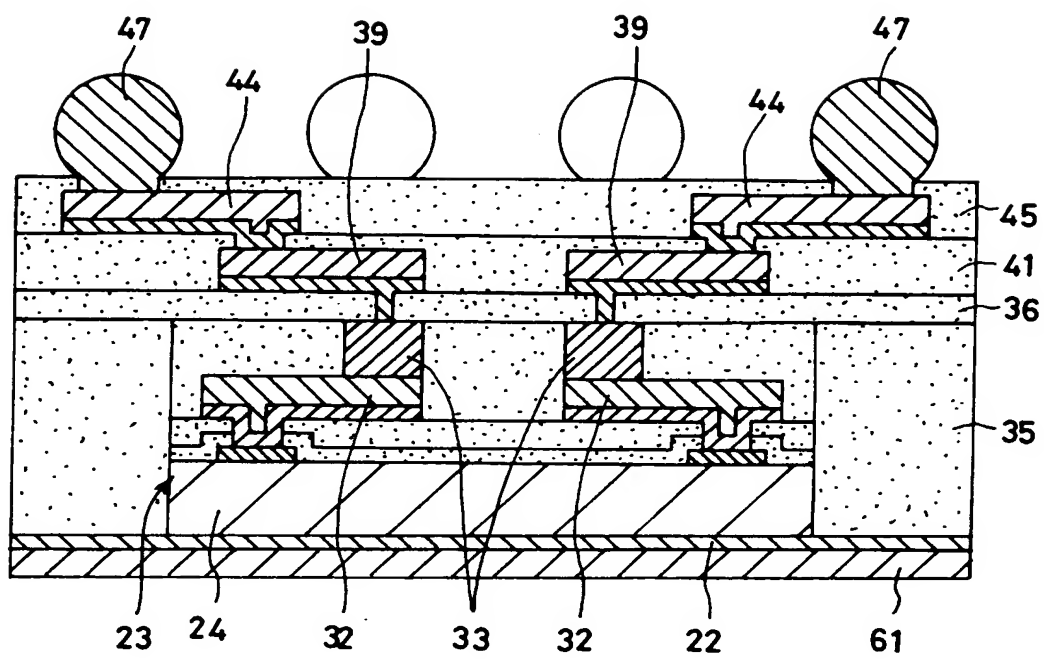
【図 17】



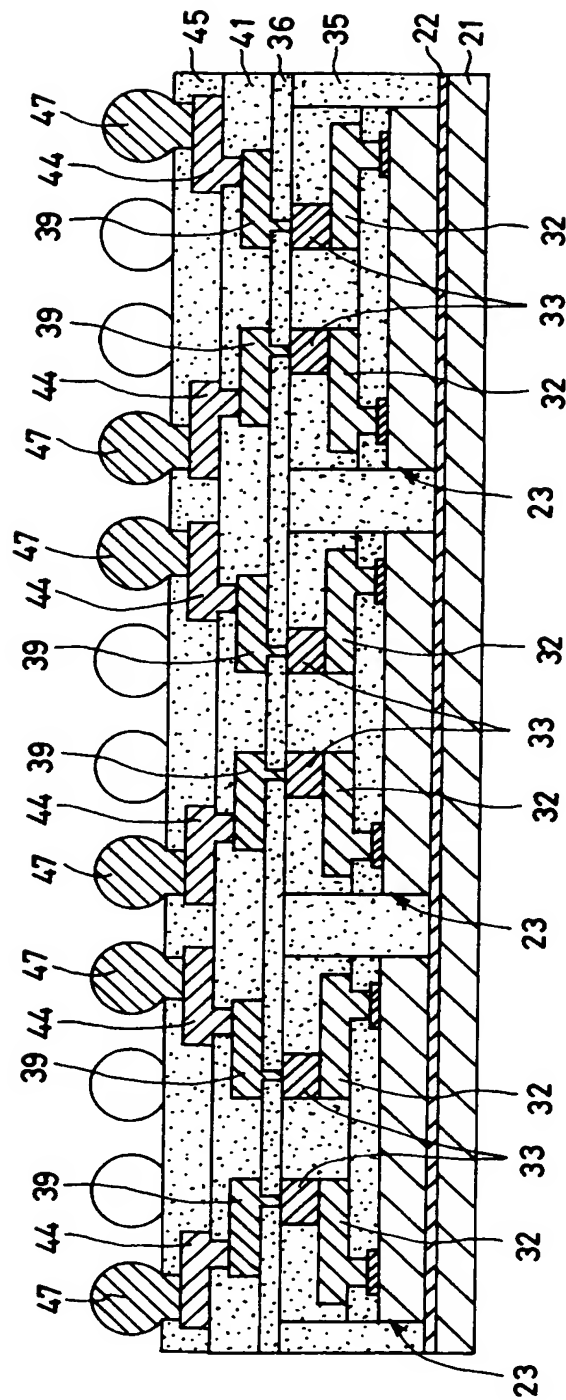
【図 18】



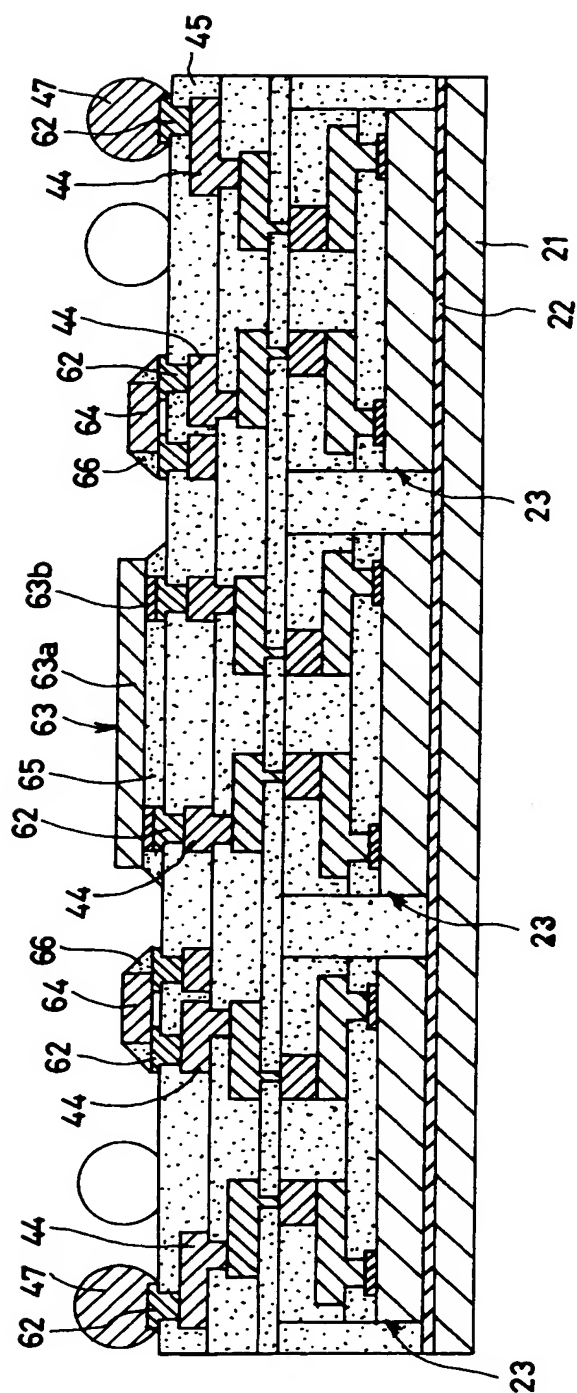
【図 19】



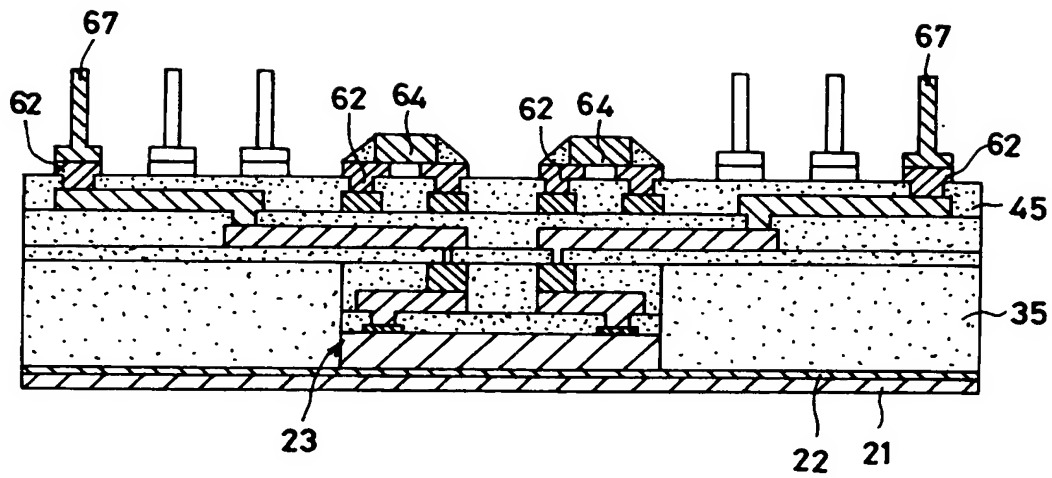
【図 20】



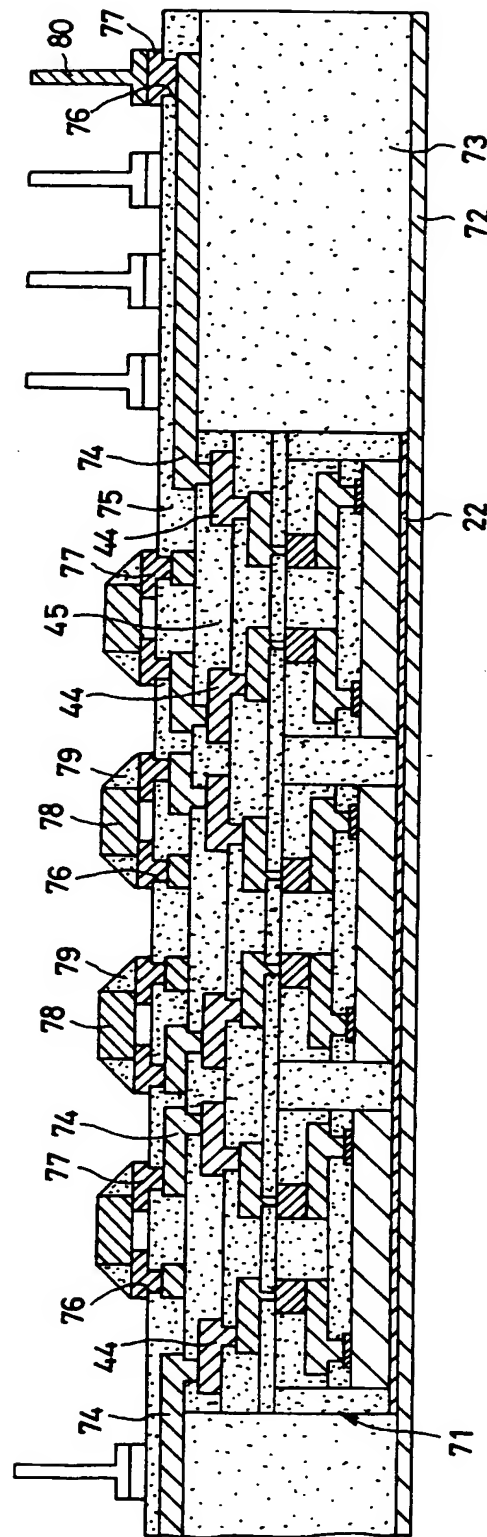
【図 21】



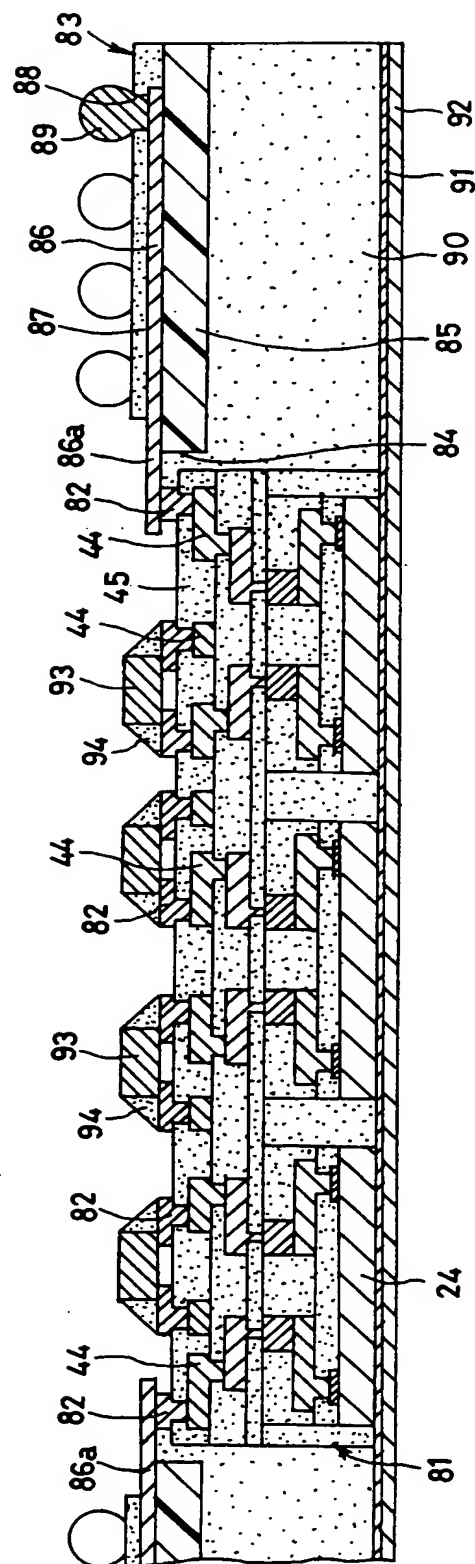
【図 22】



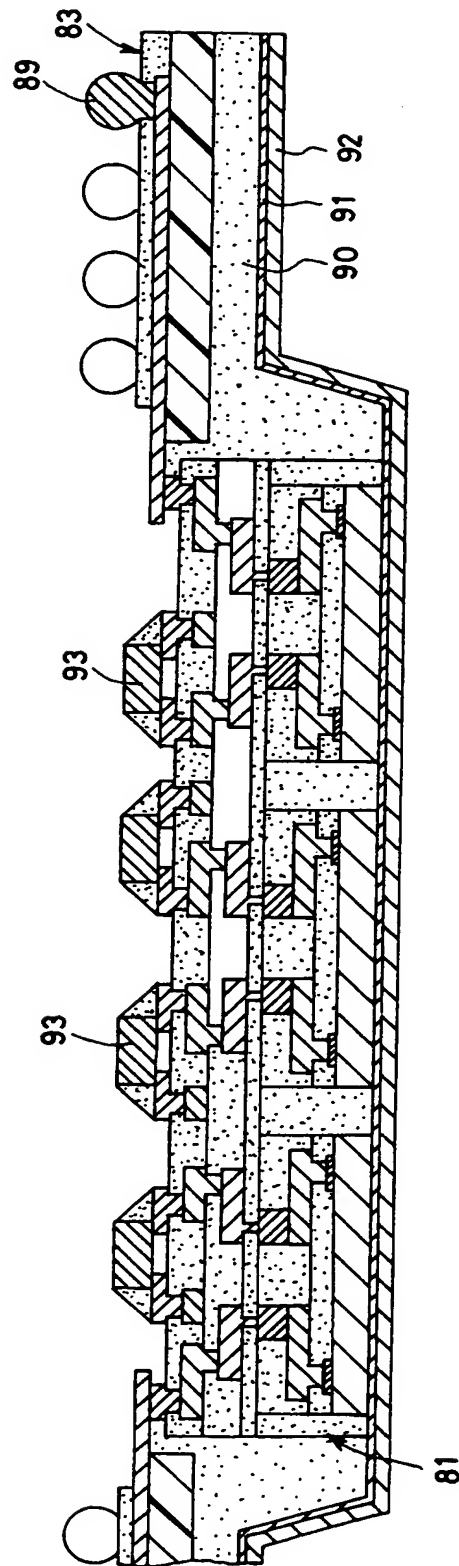
【図 23】



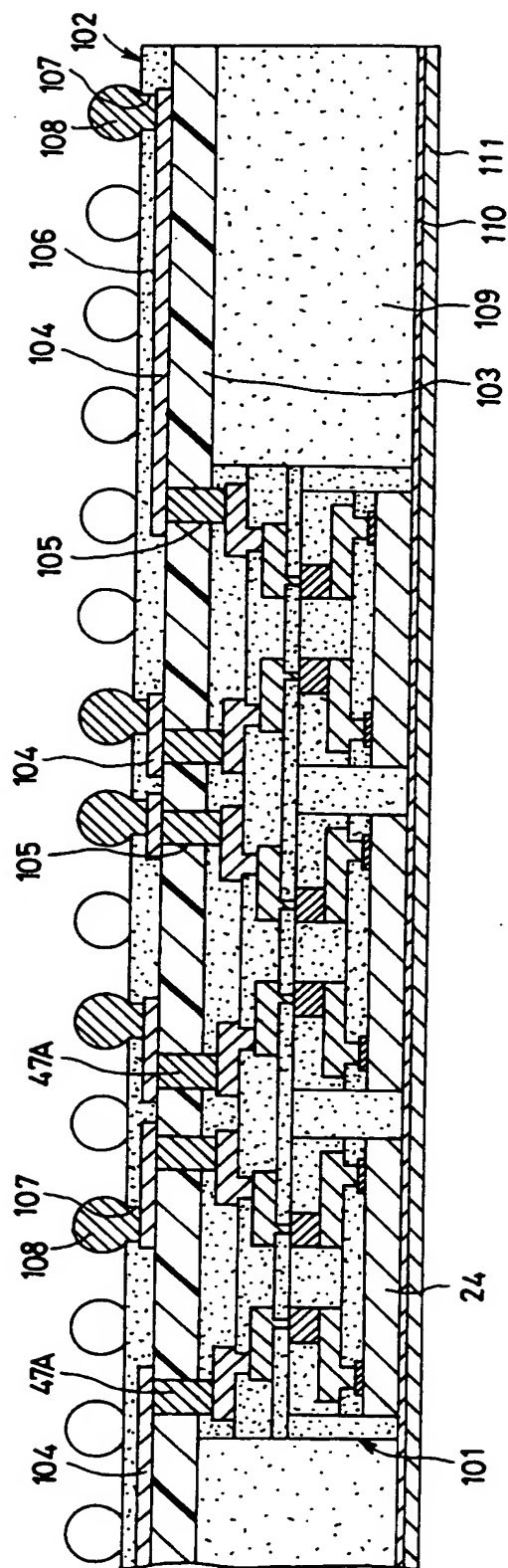
【図 24】



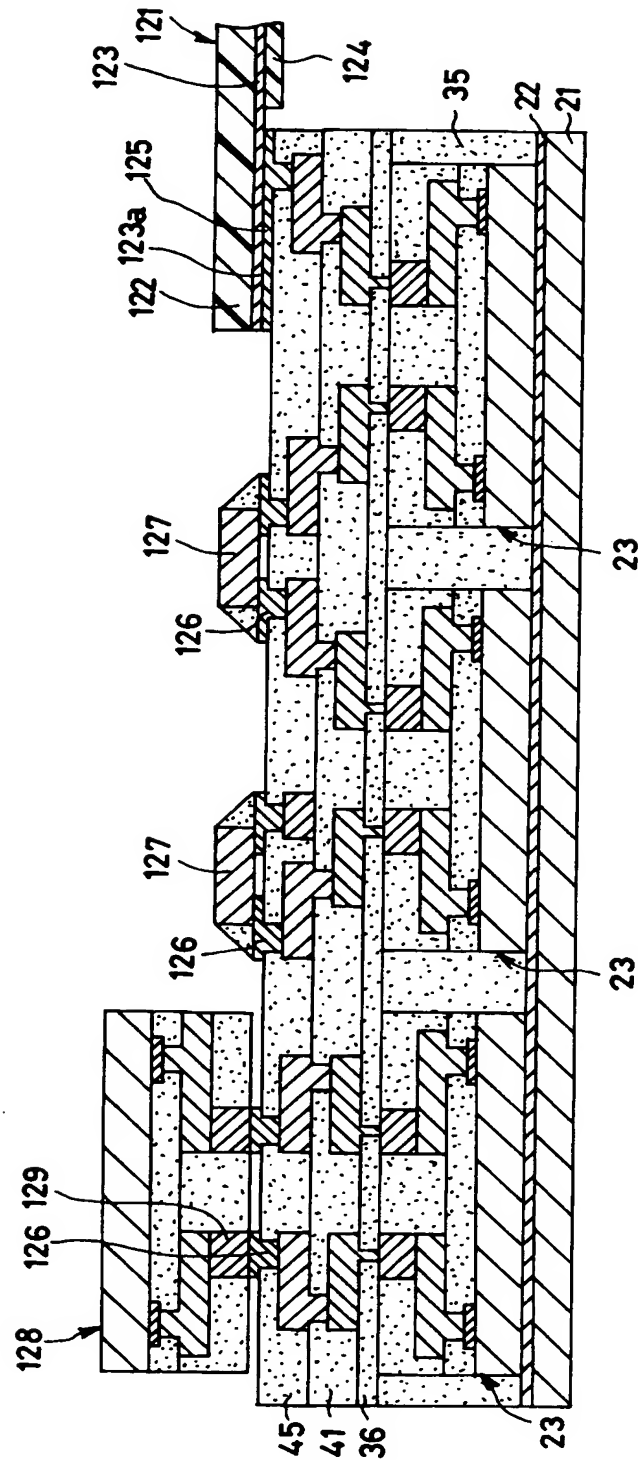
【図 25】



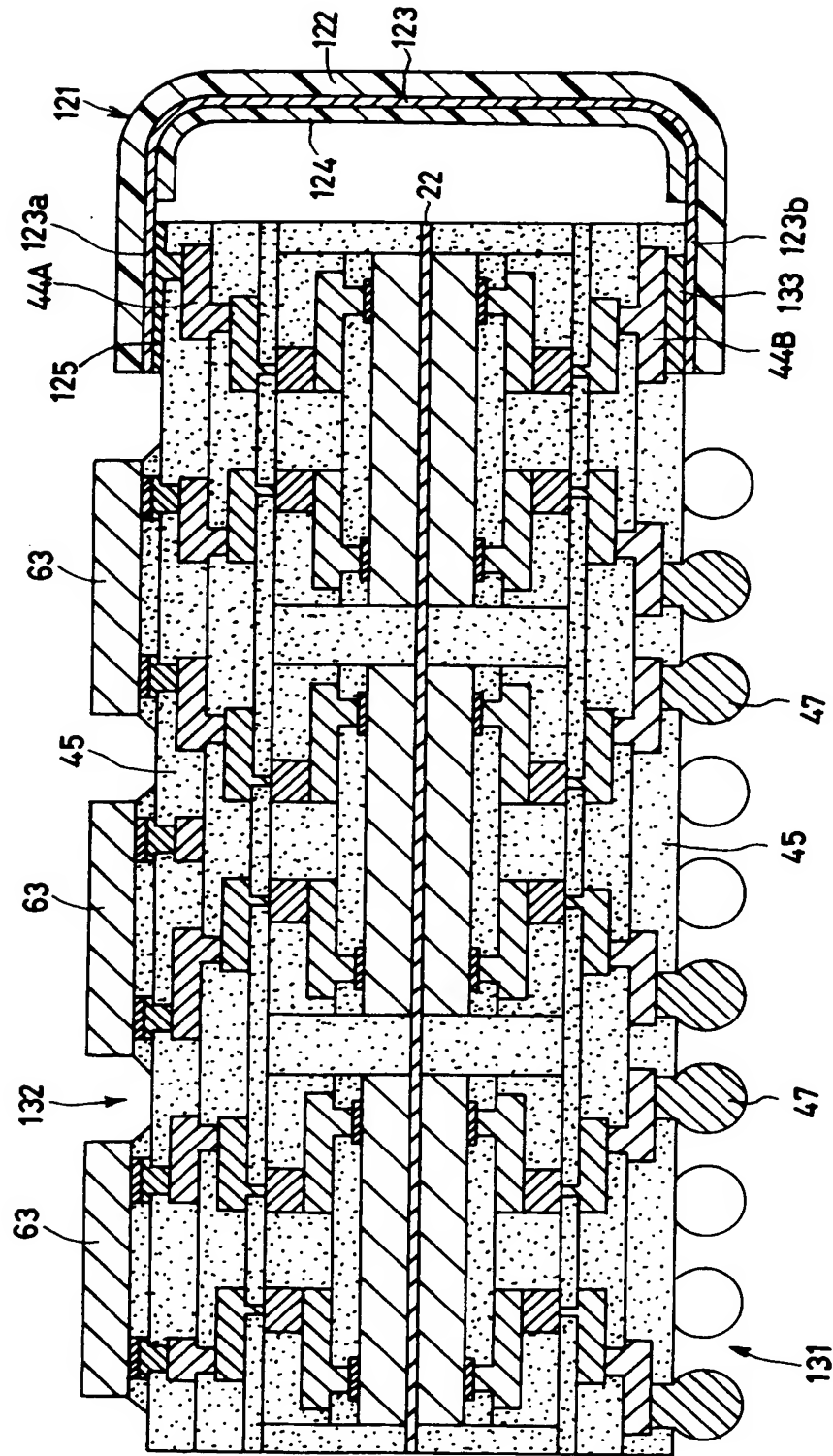
【図 26】



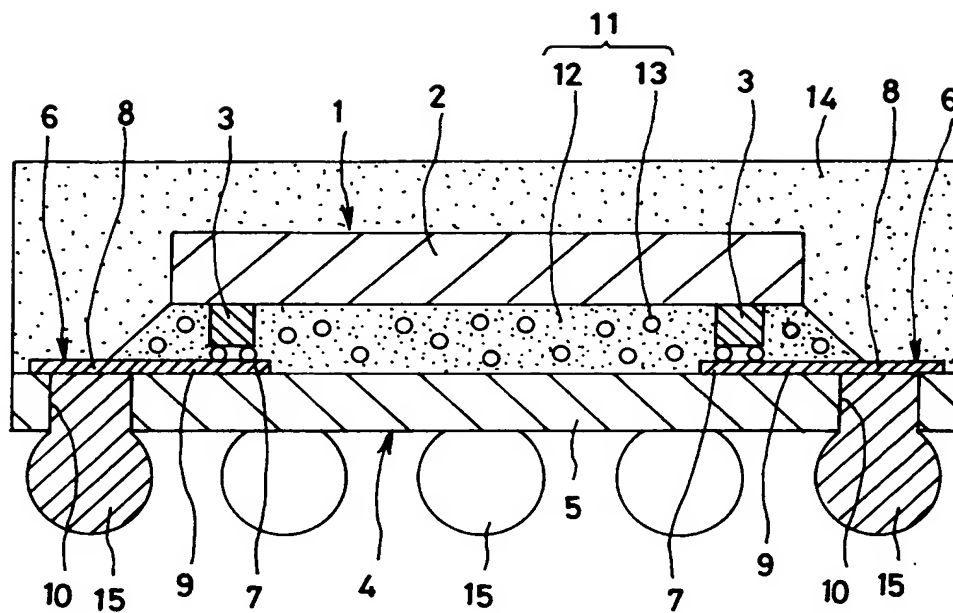
【図 27】



【図 28】



【図 30】





【書類名】 要約書

【要約】

【課題】 例えば B G A と呼ばれる半導体装置の製造に際し、シリコン基板と半田ボールとをボンディング工程を経ることなく導電接続する。

【解決手段】 複数の半導体装置に対応するサイズのベース板 2 1 上の接着層 2 2 上に、シリコン基板 2 4 上に再配線 3 2、柱状電極 3 3 および封止膜 3 4 を設けてなる半導体構成体 2 3 を相互に離間して接着する。次に、半導体構成体 2 3 の周側面に封止膜 3 5 を形成する。次に、第 1 の上層絶縁膜 3 6、第 1 の上層再配線 3 9、第 2 の上層絶縁膜 4 1、第 2 の上層再配線 4 4、第 3 の上層絶縁膜 4 5 を順次、積層状に形成し、最後に、半田ボール 4 7 を形成する。

【選択図】 図 1 0

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 3 2 2 8 9
受付番号	5 0 2 0 1 1 8 6 4 9 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 8 月 1 2 日

< 認定情報・付加情報 >

【提出日】 平成14年 8月 9日

次頁無

特願 2 0 0 2 - 2 3 2 2 8 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 4 4 3]

1. 変更年月日

1 9 9 8 年 1 月 9 日

[変更理由]

住所変更

住 所

東京都渋谷区本町1丁目6番2号

氏 名

カシオ計算機株式会社